



ASA-1035

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of

H. TAKAHASHI et al

Serial No. 09/964,483

Group Art Unit: 2811

Filed: September 28, 2001

For: SEMICONDUCTOR APPARATUS

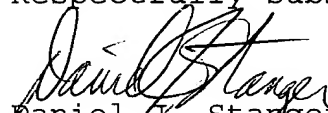
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Assistant Commissioner of Patents
Washington, D.C. 20231

Sir:

Submitted herewith is a certified copy of a corresponding Japanese patent application (JP 2000-302518, filed October 2, 2000) for the purpose of claiming foreign priority under 35 U.S.C. § 119. An indication that this document has been safely received would be appreciated.

Respectfully submitted,

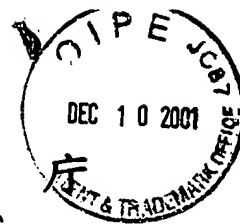

Daniel C. Stanger
Registration No. 32,846
Attorney for Applicants

MATTINGLY, STANGER & MALUR
1800 Diagonal Road, Suite 370
Alexandria, Virginia 22301
(703) 684-1120
Date: December 10, 2001

RECEIVED
DEC 12 2001
TC 2800 MAIL ROOM

RECEIVED
DEC 17 2001
TC 2800 MAIL ROOM

日本国特許
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年10月 2日

出願番号

Application Number:

特願2000-302518

出願人

Applicant(s):

株式会社日立製作所

CERTIFIED COPY OF
PRIORITY DOCUMENT

USSN 09/964,483
MATTINGLY, STANGER + MALUR
(703) 684-1120
JKT - ASA 1035

2001年 9月28日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3089298

【書類名】 特許願

【整理番号】 H00004191

【あて先】 特許庁長官殿

【国際特許分類】 G11C 29/00
G01R 31/28

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 高橋 秀明

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 佐藤 正幸

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 奈良 孝

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100085811

【弁理士】

【氏名又は名称】 大日方 富雄

【電話番号】 03-3269-1430

【手数料の表示】

【予納台帳番号】 027177

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 抵抗素子と容量素子とスイッチ素子とを含み該スイッチ素子がオン、オフ動作されて上記抵抗素子に流れる電流が制御されることにより上記スイッチ素子の導通時間および上記抵抗素子と容量素子の時定数で決まる電圧を発生可能なアナログ発生回路を備え、該アナログ発生回路の出力電圧が第 1 の伝送路にて半導体チップ上に配置された他の回路もしくは素子に伝送されるとともに、該他の回路もしくは素子に伝送された電圧が第 2 の伝送路を介して上記アナログ発生回路にフィードバックされ、該アナログ発生回路は上記フィードバックされた電圧に応じて上記出力電圧を発生するように構成されていることを特徴とする半導体集積回路。

【請求項 2】 上記アナログ発生回路は、上記スイッチ素子を制御する信号のパルス幅に応じて任意の電圧を発生可能に構成されていることを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 3】 上記アナログ発生回路は、上記半導体チップ上に配置された他の回路もしくは素子を検査するための電圧を発生するテスト用の回路であることを特徴とする請求項 1 または 2 に記載の半導体集積回路。

【請求項 4】 上記アナログ発生回路は、当該半導体集積回路の機能の一部を担う機能回路であることを特徴とする請求項 1 または 2 に記載の半導体集積回路。

【請求項 5】 上記アナログ発生回路が上記半導体チップ上の回路ブロック形成領域以外の領域に複数個設けられ、それらのアナログ発生回路のうち一部が、当該半導体集積回路の機能の一部を担ういずれかの機能回路に存在する欠陥部分を補修する補修回路を構成していることを特徴とする請求項 1、2、3 または 4 に記載の半導体集積回路。

【請求項 6】 記憶素子を有し該記憶素子の記憶情報によって入力に対応した任意の論理出力を出力可能な可変論理回路と、該可変論理回路を少なくとも任意の他の可変論理回路と接続可能にするための複数の信号線および互いに交差す

る信号線間を接続または遮断可能なスイッチ素子を含む可変配線手段と、該可変配線手段のスイッチ素子の状態を記憶する配線接続状態記憶手段とからなる可変論理セルと、

抵抗素子と容量素子とスイッチ素子とを含み該スイッチ素子がオン、オフ動作されて上記抵抗素子に流れる電流が制御されることにより上記スイッチ素子の導通時間および上記抵抗素子と容量素子の時定数で決まる電圧を発生可能なアナログ発生回路と、該アナログ発生回路を少なくとも任意の他の可変論理回路と接続可能にするための複数の信号線および互いに交差する信号線間を接続または遮断可能なスイッチ素子を含む可変配線手段と、該可変配線手段のスイッチ素子の状態を記憶する配線接続状態記憶手段とからなる可変アナログセルとが、

半導体チップ上の本来の機能回路ブロック形成領域以外の領域に配設されてなることを特徴とする半導体集積回路。

【請求項 7】 上記可変論理セルと上記可変アナログセルは各々の可変配線手段および配線接続状態記憶手段が同一の構成とされているとともに、上記可変論理回路と上記アナログ発生回路は半導体チップ上に形成されている同一の素子群の中からそれぞれ選択された素子により各々構成されていることを特徴とする請求項 6 に記載の半導体集積回路。

【請求項 8】 上記アナログ発生回路は、上記スイッチ素子を制御する信号のパルス幅に応じて任意の電圧を発生可能に構成されていることを特徴とする請求項 6 または 7 に記載の半導体集積回路。

【請求項 9】 上記スイッチ素子を制御する信号を生成する回路が、上記可変論理セルにより構成されていることを特徴とする請求項 6 ～ 8 のいずれかに記載の半導体集積回路。

【請求項 10】 上記アナログ発生回路は、上記半導体チップ上に配置された他の回路もしくは素子を検査するための電圧を発生するテスト用の回路を構成していることを特徴とする請求項 6 ～ 9 のいずれかに記載の半導体集積回路。

【請求項 11】 上記アナログ発生回路は、当該半導体集積回路の機能の一部を担う機能回路であることを特徴とする請求項 6 ～ 9 のいずれかに記載の半導体集積回路。

【請求項 1 2】 正相と逆相の信号の組合せに応じて択一的に選択される 4 個のメモリセルを備え、該選択されたメモリセルの記憶データに応じて正相と逆相の信号を出力するように構成されてなる複数の可変論理回路と、該可変論理回路を少なくとも任意の他の可変論理回路と接続可能にするための複数の信号線対および互いに交差する信号線間を接続または遮断可能なスイッチ素子を含む可変配線手段と、該可変配線手段のスイッチ素子の状態を記憶する配線接続状態記憶手段とからなる可変論理セルと、

抵抗素子と容量素子とスイッチ素子とを含み前記スイッチ素子がオン、オフ動作されて上記抵抗素子に流れる電流が制御されることにより上記スイッチ素子の導通時間および上記抵抗素子と容量素子の時定数で決まる電圧を発生可能なアナログ発生回路と、該アナログ発生回路を少なくとも任意の他の可変論理回路と接続可能にするための複数の信号線対および互いに交差する信号線間を接続または遮断可能なスイッチ素子を含む可変配線手段と、該可変配線手段のスイッチ素子の状態を記憶する配線接続状態記憶手段とからなる可変アナログセルとが、

半導体チップ上の回路ブロック形成領域以外の領域に配設され、上記可変論理セルは上記信号線対を介して差動方式で信号を送信し、上記可変アナログセルは上記信号線対の一方の信号線を介して発生した電圧を出力するとともに、他方の信号線を介してフィードバック電圧を受けるように構成されていることを特徴とする半導体集積回路。

【請求項 1 3】 上記アナログ発生回路は、上記スイッチ素子を制御する信号のパルス幅に応じて任意の電圧を発生可能に構成されていることを特徴とする請求項 1 2 に記載の半導体集積回路。

【請求項 1 4】 上記スイッチ素子を制御する信号を生成する回路が、上記可変論理セルにより構成されていることを特徴とする請求項 1 2 または 1 3 に記載の半導体集積回路。

【請求項 1 5】 上記アナログ発生回路は、上記半導体チップ上に配置された他の回路もしくは素子を検査するための電圧を発生するテスト用の回路を構成していることを特徴とする請求項 1 2、1 3 または 1 4 に記載の半導体集積回路。

【請求項 1 6】 上記アナログ発生回路は、当該半導体集積回路の機能の一部を担う機能回路を構成していることを特徴とする請求項 1 2、1 3 または 1 4 に記載の半導体集積回路。

【請求項 1 7】 上記アナログ発生回路が上記半導体チップ上の回路ブロック形成領域以外の領域に複数個設けられ、それらのアナログ発生回路のうち一部が、当該半導体集積回路の機能の一部を担ういずれかの機能回路に存在する欠陥部分を補修する補修回路を構成していることを特徴とする請求項 1 2、1 3、1 4、1 5 または 1 6 に記載の半導体集積回路。

【請求項 1 8】 アナログ回路を備えた半導体集積回路であって、上記アナログ回路の出力電圧が第 1 の伝送路にて半導体チップ上に配置された他の回路もしくは素子に伝送されるとともに、該他の回路もしくは素子に伝送された電圧が第 2 の伝送路を介して上記アナログ回路にフィードバックされ、該アナログ回路はフィードバックされた電圧に応じて上記出力電圧を発生するように構成されていることを特徴とする半導体集積回路。

【請求項 1 9】 上記アナログ回路は、上記半導体チップ上に配置された他の回路もしくは素子を検査するための電圧を発生するテスト用の回路であることを特徴とする請求項 1 8 に記載の半導体集積回路。

【請求項 2 0】 上記アナログ回路は、上記半導体チップ上に配置された他のアナログ回路から出力されるアナログ信号をデジタル信号に変換するテスト用の回路であることを特徴とする請求項 1 8 に記載の半導体集積回路。

【請求項 2 1】 アナログ発生回路を備え、該アナログ発生回路の出力電圧を上記アナログ回路と同じ半導体チップに配置された他の回路もしくは素子に伝送する第 1 の伝送路と、該他の回路もしくは素子に伝送された電圧を上記アナログ発生回路へフィードバックする第 2 の伝送路とを有し、該アナログ発生回路は上記フィードバックされた電圧に応じて出力電圧を発生するように構成されていることを特徴とする半導体集積回路。

【請求項 2 2】 記憶素子を有し該記憶素子の記憶情報によって入力に対応した任意の論理出力を出力可能な可変論理回路と、該可変論理回路を少なくとも任意の他の可変論理回路と接続可能にするための複数の信号線および互いに交差

する信号線間を接続または遮断可能なスイッチ素子を含む可変配線手段と、該可変配線手段のスイッチ素子の状態を記憶する配線接続状態記憶手段とを有する可変論理セルと、

アナログ発生回路と、該アナログ発生回路を少なくとも任意の他の可変論理回路と接続可能にするための複数の信号線および互いに交差する信号線間を接続または遮断可能なスイッチ素子を含む可変配線手段と、該可変配線手段のスイッチ素子の状態を記憶する配線接続状態記憶手段とからなる可変アナログセルとが、

半導体チップ上の本来の機能回路ブロック形成領域以外の領域に配設されてなることを特徴とする半導体集積回路。

【請求項 2 3】 正相と逆相の信号の組合せに応じて択一的に選択される 4 個のメモリセルを備え、該選択されたメモリセルの記憶データに応じて正相と逆相の信号を出力するように構成されてなる複数の可変論理回路と、該可変論理回路を少なくとも任意の他の可変論理回路と接続可能にするための複数の信号線対および互いに交差する信号線間を接続または遮断可能なスイッチ素子を含む可変配線手段と、該可変配線手段のスイッチ素子の状態を記憶する配線接続状態記憶手段とを有する可変論理セルと、

アナログ発生回路と、該アナログ発生回路を少なくとも任意の他の可変論理回路と接続可能にするための複数の信号線対および互いに交差する信号線間を接続または遮断可能なスイッチ素子を含む可変配線手段と、該可変配線手段のスイッチ素子の状態を記憶する配線接続状態記憶手段とからなる可変アナログセルとが

半導体チップ上の回路ブロック形成領域以外の領域に配設され、上記可変論理セルは上記信号線対を介して差動方式で信号を伝送し、上記可変アナログセルは上記信号線対の一方の信号線を介して発生した電圧を出力し、他方の信号線を介してフィードバック電圧を受けるように構成されていることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、アナログ回路を内蔵した半導体集積回路におけるアナログ信号の伝送およびアナログ回路の検査並びに欠陥救済に利用して有効な技術に関し、例えば、DA変換回路やAD変換回路のようなアナログ回路とディジタル回路とが1つの半導体チップ上に設けられたアナログ・ディジタル混載の半導体集積回路に利用して有効な技術に関する。

【0002】

【従来の技術】

論理集積回路（以下、ロジックICと称する）などの半導体装置のテスト方式としては、テストと呼ばれる装置によりテストパターンデータを発生してロジックICへ入力し、ロジックICから出力されたデータ信号と期待値とを比較して判定する方式がある。しかしながら、ロジックICはその論理の規模が大きくなるほどテストパターンのステップ数が長大になってしまい、テストパターンの作成およびそれを用いたテスト所要時間が非常に長くなってしまう。

【0003】

そこで、テストによるテストを容易にする方法として、ICの本来の機能を構成しているフリップフロップ等の順序回路を縦続接続してシフトレジスタを構成可能に設計しておいて、テスト時に前記シフトレジスタにテストパターンをシリアルに入力（スキャンイン）して取り込ませ、所望の組合せ論理回路に上記シフトレジスタに取り込んだテストデータを入力し、その後前記論理回路の出力データ信号をシフトレジスタに取り込んでシフトして外部へ取り出せる（スキャンアウト）ようにしたいいわゆるスキャンパス方式と呼ばれるテスト容易化設計技術が開発され実用化されている。

【0004】

しかしながら、上記スキャンパス方式は、それまでのテスト方式に比べるとテストパターンの量が少なくなるもののテストパターンの生成が難しく不良検出率を上げにくいとともに、テストパターンをシリアルに入力（転送）することを繰り返す行なうため、テスト時間が長くなるという不具合がある。

【0005】

そこで、論理集積回路内に疑似乱数発生回路のようなランダムなテストパター

ンを発生するパターン発生回路を内蔵させたBIST (Built in self test) 方式のテスト技術が開発されている。BIST方式は、テストパターン発生回路、テスト出力圧縮回路、テスト結果判定回路などで構成されるテスト機能を半導体集積回路装置のチップ内に組み込んでおいて、半導体集積回路装置それ自身でテストを実行し、結果を出力する自己テストを行なう方式である。

【0006】

【発明が解決しようとする課題】

しかしながら、BIST方式は、検査に際してチップ内部のテスト回路と外部のテストと接続して指示を与えたりするため、テストにかかる負担は少なくとも検査処理中高価なテストを待たせることとなり、コストパフォーマンスを十分に下げることができない。また、BIST回路を搭載したLSIにおいては、BIST回路の分だけチップサイズが増大しコストが高くなるとともに、BIST回路自身での不良発生により歩留まりが低下するという問題もある。

【0007】

さらに、アナログ集積回路やアナログ回路とデジタル回路とが混載した半導体集積回路における自己テスト回路についても検討されているが、アナログ回路のテスト回路には抵抗素子や容量素子が必要とされることが多く、半導体集積回路のプロセスでかかる抵抗素子や容量素子を形成した場合、現在の技術では精度の高い抵抗素子や容量素子が得られないため、高い精度でアナログ回路のテストを行なえる自己テスト回路を実現することは困難である。

【0008】

この発明の目的は、高機能の外部テストを用いることなくアナログ回路を内蔵したLSI内部のアナログ回路のテストを比較的高い精度で行なうことが可能なテスト技術を提供することにある。

【0009】

この発明の他の目的は、チップサイズを増大させることなくアナログ回路を検査するテスト回路を構成可能な半導体集積回路を提供することにある。

【0010】

この発明の他の目的は、歩留まりを低下させることなくアナログ回路を検査す

るテスト回路を構成可能な半導体集積回路を提供することにある。

【 0 0 1 1 】

この発明の他の目的は、内部にアナログ回路を有する半導体集積回路の歩留まりを向上させる技術を提供することにある。

【 0 0 1 2 】

この発明のさらに他の目的は、チップ内部の比較的はなれた回路間でアナログ信号を伝送するように構成されている半導体集積回路の動作精度を向上させる技術を提供することにある。

【 0 0 1 3 】

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添附図面から明らかになるであろう。

【 0 0 1 4 】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【 0 0 1 5 】

すなわち、本願の第 1 の発明に係る半導体集積回路は、抵抗素子と容量素子とスイッチ素子とを含み該スイッチ素子がオン、オフ動作されて上記抵抗素子に流れる電流が制御されることにより上記スイッチ素子の導通時間および上記抵抗素子と容量素子の時定数で決まる電圧を発生可能なアナログ発生回路を備え、該アナログ発生回路の出力電圧が第 1 の伝送路にて半導体チップ上に配置された他の回路もしくは素子に伝送されるとともに、該他の回路もしくは素子に伝送された電圧が第 2 の伝送路を介して上記アナログ発生回路にフィードバックされ、該アナログ発生回路は上記フィードバックされた電圧に応じて上記出力電圧を発生するように構成したものである。

【 0 0 1 6 】

上記した手段によれば、比較的簡単な回路構成で任意の電圧を発生可能なアナログ発生回路を実現できるとともに、アナログ発生回路とその出力電圧を受ける回路とが半導体チップ上の比較的離れた位置にそれぞれ形成されていたとしても

、いわゆるフォースラインとセンスラインの2線方式で信号が伝送されるので、精度の高いアナログ信号の伝送が可能となる。

【 0 0 1 7 】

望ましくは、上記アナログ発生回路は、上記スイッチ素子を制御する信号のパルス幅に応じて任意の電圧を発生可能に構成する。これによって、制御信号のパルス幅を変更するだけで発生される電圧のレベルを変化させることができるため、ダイナミックに変化する任意のレベルのアナログ電圧を容易に発生させることができる。

【 0 0 1 8 】

さらに、望ましくは、上記アナログ発生回路は、上記半導体チップ上に配置された他の回路もしくは素子を検査するための電圧を発生するテスト用の回路とする。これにより、外部の高価なテスト装置を用いずに半導体集チップ上に形成されているアナログ回路に入力されるテスト用のアナログ信号を発生させて正確なテストを行なうことができるようになる。なお、上記アナログ発生回路は、当該半導体集積回路の機能の一部を担う機能回路として用いるようにしても良い。

【 0 0 1 9 】

また、上記アナログ発生回路は上記半導体チップ上の回路ブロック形成領域以外の領域に複数個設け、それらのアナログ発生回路のうち一部が、当該半導体集積回路の機能の一部を担ういずれかの機能回路に存在する欠陥部分を補修する補修回路を構成するようにしても良い。これにより、従来は不良品として除去されていたLSIを良品とすることができるため、LSIの歩留まりを向上させることができる。

【 0 0 2 0 】

本願の第2の発明に係る半導体集積回路は、記憶素子を有し該記憶素子の記憶情報によって入力に対応した任意の論理出力を出力可能な可変論理回路と、該可変論理回路を少なくとも任意の他の可変論理回路と接続可能にするための複数の信号線および互いに交差する信号線間を接続または遮断可能なスイッチ素子を含む可変配線手段と、該可変配線手段のスイッチ素子の状態を記憶する配線接続状態記憶手段とからなる可変論理セルと、抵抗素子と容量素子とスイッチ素子とを

含み該スイッチ素子がオン、オフ動作されて上記抵抗素子に流れる電流が制御されることにより上記スイッチ素子の導通時間および上記抵抗素子と容量素子の時定数で決まる電圧を発生可能なアナログ発生回路と、該アナログ発生回路を少なくとも任意の他の可変論理回路と接続可能にするための複数の信号線および互いに交差する信号線間を接続または遮断可能なスイッチ素子を含む可変配線手段と、該可変配線手段のスイッチ素子の状態を記憶する配線接続状態記憶手段とからなる可変アナログセルとが、半導体チップ上の回路ブロック形成領域以外の領域に配設されるようにしたものである。

【 0 0 2 1 】

従来より、CPUコアやRAMなどのマクロセルを並べてCBIC（セルベースIC）方式で構成するシステムLSIのような論理LSIにおいては、各回路ブロック間に空き領域が発生しており、その総量は平均でもチップの5～10%、ワーストケースでは20%近くなってしまうこともあり、論理ゲートに換算すると4万～10万個に近いゲートを作り込むことができる。そのため、上記した手段によれば、そのような空き領域に設けられている可変論理セルおよび可変アナログセルを使用してチップ内の論理回路はもちろんアナログ回路を検査するテスト回路を構成することができるので、チップサイズを増大させることなくアナログ回路を含めて自己検査するテスト回路を構成できるとともに、高価なテストを使用することなく良品判定を行なえる半導体集積回路を実現することができる。しかも、上記テスト回路はチップ内部にあるので、対象となる回路ブロックを他の回路ブロックを介することなく直接テストしたり、回路ブロック内部のローカルな回路に対しても直接テストすることが可能になり、従来は十分なテストが困難であったオンチップのCPUなどに対する十分なテストが可能になる。

【 0 0 2 2 】

また、望ましくは、上記可変論理セルと上記可変アナログセルは各々の可変配線手段および配線接続状態記憶手段が同一の構成を有するとともに、上記可変論理回路と上記アナログ発生回路は半導体チップ上に形成されている同一の素子群の中からそれぞれ選択された素子により各々構成されるようする。これにより、可変論理セルと可変アナログセルの設計が容易となるとともに、それぞれのセル

の寸法が等しくなるためセルのレイアウト設計も容易となる。

【0023】

さらに、望ましくは、可変アナログセルのスイッチ素子を制御する信号を生成する回路を、同一半導体チップ上に形成されている上記可変論理セルにより構成する。これにより、チップ上にあるアナログ回路のテストをチップ内の空き領域に形成されたセルを用いて構成したテスト回路により行なうことができ、チップを外部からテストするために高価なテストを用いる必要がなくなる。

【0024】

本願の第3の発明に係る半導体集積回路は、正相と逆相の信号の組合せに応じて択一的に選択される4個のメモリセルを備え選択されたメモリセルの記憶データに応じて正相と逆相の信号を出力するように構成されてなる複数の可変論理回路と、他の可変論理回路と接続可能にするための複数の信号線対および互いに交差する信号線間を接続または遮断可能なスイッチ素子を含む可変配線手段と、該可変配線手段のスイッチ素子の状態を記憶する配線接続状態記憶手段とからなる可変論理セルと、抵抗素子と容量素子とスイッチ素子とを含み前記スイッチ素子がオン、オフ動作されて上記抵抗素子に流れる電流が制御されることにより上記スイッチ素子の導通時間および上記抵抗素子と容量素子の時定数で決まる電圧を発生可能なアナログ発生回路と、該アナログ発生回路を任意の他のアナログ発生回路もしくは可変論理回路の接続可能にするための複数の信号線対および互いに交差する信号線間を接続または遮断可能なスイッチ素子を含む可変配線手段と、該可変配線手段のスイッチ素子の状態を記憶する配線接続状態記憶手段とからなる可変アナログセルとが、半導体チップ上の本来の機能回路ブロック形成領域以外の領域に配設され、上記可変論理セルは上記信号線対を介して差動方式で信号を伝送し、上記可変アナログセルは上記信号線対の一方の信号を介して発生した電圧を出力するとともに、他方の信号線を介してフィードバック電圧を受けるように構成したものである。

【0025】

上記した手段によれば、空き領域に設けられている可変論理セルおよび可変アナログセルを使用してチップ内の論理回路はもちろんアナログ回路を検査するテ

スト回路を構成することができる上、可変論理セルも可変アナログセルも共に他のセルとの接続が2線方式で行なわれるため、配線設計の共通化が可能となり、設計負担が軽減される。

【 0 0 2 6 】

本願の第4の発明は、アナログ回路を備えた半導体集積回路において、上記アナログ回路の出力電圧が第1の伝送路にて半導体チップ上に配置された他の回路もしくは素子に伝送されるとともに、該他の回路もしくは素子に伝送された電圧が第2の伝送路を介して上記アナログ回路にフィードバックされ、該アナログ回路はフィードバックされた電圧に応じて上記出力電圧を発生するように構成したものである。

【 0 0 2 7 】

上記した手段によれば、アナログ発生回路とその出力電圧を受ける回路とが半導体チップ上の比較的離れた位置にそれぞれ形成されていたとしても、いわゆるフォースラインとセンスラインの2線方式で信号が伝送されるので、精度の高いアナログ信号の伝送が可能となる。

【 0 0 2 8 】

また、上記アナログ回路は、上記半導体チップ上に配置された他の回路もしくは素子を検査するための電圧を発生するテスト用の回路であっても良いし、上記半導体チップ上に配置された他のアナログ回路から出力されるアナログ信号をデジタル信号に変換するテスト用の回路であってもよい。

【 0 0 2 9 】

さらに、本発明に係る半導体集積回路は、可変論理セルと可変アナログセルを半導体チップ全体に亘って敷き詰めるように配置した後、所望の機能を有する回路ブロックのレイアウトを決定し、配置が決定されたチップ上の領域に上記可変論理セルと差し替えて当該回路ブロックを配置させて半導体集積回路を形成し、しかる後上記可変論理セルの検査を行ない正常と判定されたセルを用いて上記回路ブロックの少なくともひとつを検査するテスト回路を構成して検査を行なって不良品を除去するようにすることができる。

【 0 0 3 0 】

このようにすれば、配置された回路ブロック間に残っている可変論理セルおよび可変アナログセルの検査を行ない、正常と判定されたセルを用いて上記回路ブロックを検査するテスト回路を構成して検査を行なうので、チップサイズを増大させることなく自己検査するテスト回路を構成可能な半導体集積回路を実現することができるとともに、テスト回路での不良発生により歩留まりが低下するようなこともない。

【 0 0 3 1 】

さらに、可変論理セルを用いて構成されたテスト回路による回路ブロックの検査が終了した後に、該検査結果に基づいて不良と判定された半導体集積回路を除去し、テスト回路を構成していた可変論理セルや可変アナログセルを用いてユーザが希望する機能を有する論理回路やアナログ回路を構成するようにしてもよい。これにより、オーバーヘッドの少ない半導体集積回路を実現することができる。

【 0 0 3 2 】

【発明の実施の形態】

以下、本発明の好適な実施例が図面に基づいて説明される。

【 0 0 3 3 】

図1は、AD変換回路を内蔵したシステムLSIの一実施例のブロック図で、公知の半導体集積回路の製造技術により単結晶シリコンのような1個の半導体チップ100上に構成される。

【 0 0 3 4 】

図1の符号110～180は上記半導体チップ100上に構成された内部回路、190はこれらの内部回路と外部装置との間の信号の入出力を行なうインタフェース回路、200は上記内部回路110～180相互間およびインタフェース回路190との間を接続する内部バスである。上記内部回路110～180のうち、110および120はユーザが要求する論理機能を構成するユーザ論理回路のようなカスタム論理回路で、このうち120はユーザが任意に論理を構成可能なFPGA (Field Programmable Gate Array) により構成されている。このカスタム論理回路は、ユーザ論理を構成せずそのまま残しておくようにしてもよい。

【0035】

また、130はプログラムの命令を解説して対応する処理や演算を実行するCPU（中央処理ユニット）、140、150はスタティックRAM（ランダム・アクセス・メモリ）、160はAD変換回路、170、180はダイナミックRAMである。さらに、この実施例のシステムLSIのチップ周縁部には、内部回路のテスト時に接続される外部テスト500等との間の信号の入出力を行なうためのインタフェース回路190が設けられている。テスト500は、従来の論理LSIやメモリのテストのような高機能のものでなくデータの書き込みと読み出しおよび簡単なデータ処理が行なえるものでよく、パーソナルコンピュータを用いることも可能である。

【0036】

上記CPU130は、狭義のCPUの他に、プログラムROM、ワーキングRAM、シリアルコミュニケーションインタフェースやタイマー回路などのいわゆるマイコン周辺回路を含んでマイクロプロセッサとして構成されていてもよい。

【0037】

上記スタティックRAM140、150およびダイナミックRAM170、180は、内部バス200を介してアドレス信号が与えられたときに対応するメモリセルを選択するアドレスデコーダ等のメモリ周辺回路を含む。さらに、ダイナミックRAM170、180は、非アクセス時間が長くなってもメモリセルの情報電荷が失われないように周期的に疑似選択するリフレッシュ制御回路を含む。また、特に制限されるものでないが、ダイナミックRAM170、180には、メモリアレイ内に欠陥ビットがあった場合にその欠陥ビットを含むメモリ行もしくはメモリ列を予備のメモリ行もしくは予備のメモリ列と置き換えるいわゆる冗長回路がそれぞれ設けられている。

【0038】

さらに、この実施例のAD変換回路160には、テスト用のアナログ電圧を発生する電圧発生回路610が設けられており、外部入力端子161からのアナログ入力電圧の代わりに上記電圧発生回路610で発生された電圧がAD変換回路

160に入力可能に構成されている。

【0039】

図2には、図1に示されている内部回路110～180のうち、AD変換回路160に設けられる電圧発生回路610の具体例を示す。

【0040】

この実施例の電圧発生回路610は、直列形態の抵抗R0とツェナーダイオードD0とからなり所定の電圧Vcを発生する定電圧回路611と、一方の端子が接地点のような定電位点に接続され電荷を充放電するコンデンサ612と、該コンデンサ612の他方の端子と上記定電圧回路611との間に直列に接続されたスイッチSW1および抵抗R1と、上記コンデンサ612の他方の端子と接地点との間に直列に接続されたスイッチSW2および抵抗R2と、上記コンデンサ612の充電電圧を平滑化するフィルタ回路613とから構成されている。

【0041】

この電圧発生回路610は、上記スイッチSW1、SW2がパルスコントロール回路614からの制御パルスP1、P2によってオン、オフされることによって、抵抗R1とR2の比と、P1とP2の周期およびパルス幅と、定電圧回路611からの定電圧Vcとによって決まる電圧を発生する。すなわち、制御パルスP1、P2は互いにハイレベルの期間が重複しないように設定されており、制御パルスP1によってスイッチSW1がオンされているときはスイッチSW2はオフされて抵抗R1を介してコンデンサ612に徐々に電荷がチャージされるとともに、制御パルスP2によってスイッチSW2がオンされているときはスイッチSW1はオフされてコンデンサ612の電荷が抵抗R2を介して徐々にディスチャージされる。

【0042】

上記動作を繰り返すことによって、コンデンサ612の充電電圧がのこぎり波状に変化し、フィルタ回路613によって平滑されてパルスP1、P2に応じた所望の電圧が発生される。この電圧がAD変換回路160に供給されることで、外部からアナログ電圧を入力することなくAD変換回路160のテストが可能になる。しかも、この実施例の電圧発生回路610は、制御パルスP1、P2の周

期およびパルス幅を可変にすることで任意の電圧や波形を発生することができる。

【0043】

また、半導体集積回路では抵抗 R_1 、 R_2 の抵抗値がプロセスでばらついても抵抗比はほぼ一定になるとともに、コンデンサ612の容量値がばらついても、充電と放電に同一のコンデンサを使用するので、ばらつきによる発生電圧への影響は少ない。しかも、電圧発生回路610が、発生した電圧が供給されるAD変換回路160の近傍に配置されているため、テスト時にAD変換回路160に入力される電圧の精度を高めることができる。なお、電圧発生回路610は図2の実施例の構成に限定されるものでなく、種々の構成例が考えられる。例えば上記抵抗 R_1 、 R_2 は、上記スイッチ SW_1 、 SW_2 の持つ抵抗成分を利用することで省略することも可能である。

【0044】

一方、この実施例では、上記スイッチ SW_1 、 SW_2 をオン、オフする制御パルス P_1 、 P_2 を形成するパルスコントロール回路614は、カスタム論理が構成される前のFPGA120上に構成されるようになっている。電圧発生回路610で発生された電圧がAD変換回路で変換され出力されたデジタル信号を判定する回路もFPGA120上に構成される。ただし、専用の判定回路を設ける代わりに内蔵のCPU130によって判定し、判定結果をインタフェース回路190を介して外部へ出力するように構成しても良い。

【0045】

ところで、電圧発生回路610に供給される制御パルス P_1 、 P_2 はデジタル信号であるため、制御パルス P_1 、 P_2 を形成するパルスコントロール回路614が電圧発生回路610から離れた位置に設けられても、パルスの伝送によって精度が低下する心配はない。また、図1の実施例では、AD変換回路160内にテスト用のアナログ電圧を発生する電圧発生回路610が設けられているとしたが、AD変換回路160の外部の他の回路ブロックとの空きスペースに電圧発生回路610を設けるようにしてもよい。

【0046】

このように、A/D変換回路160の外部あるいは回路内部であってもアナログ入力端子から比較的離れた部位に電圧発生回路610を設けた場合、発生された電圧（アナログ信号）をアナログ入力端子まで伝送する配線の抵抗などにより電圧レベルの精度が低下するおそれがある。そこで、この実施例では、以下に説明するようなフォースラインとセンスラインによる2線方式を採用することにより、電圧レベルの精度の低下を防止するようにしている。これによって、電圧発生回路160はA/D変換回路160のから比較的離れた位置、例えば図1の実施例ではカスタム論理回路120の近傍などに配置することも可能となる。

【0047】

フォースラインとセンスラインによる2線方式は、図3に示すように、アナログ信号を出力する回路（図1では電圧発生回路610）の最終出力段616の前段に差動増幅回路615を設けるとともに、出力されたアナログ信号を目的とする回路もしくは素子（図3ではバイポーラ・トランジスタRT）まで供給する伝送ラインL1をフォースラインと呼び、このフォースラインと並行してフォースライン終端の電圧を元の回路の差動増幅回路615に帰還させるセンスラインと呼ぶフィードバックラインL2を設けるようにしたものである。なお、上記出力段616は入力電圧と同一のレベルの電圧を出力するボルテージフォロワと等価な回路である。

【0048】

アナログ信号を出力する回路とそれを受ける回路とが比較的離れた位置にあり、しかも受信側の回路の入力インピーダンスが比較的小さい場合、伝送ラインの配線抵抗により生じる電圧降下は無視できない大きさとなり、回路の動作精度が低下してしまうが、上記2線方式に従うとかかる精度低下を回避することができる。すなわち、図3のようにフォースラインとセンスラインを設けておくと、アナログ信号を伝送するフォースラインL1で電圧降下が生じたとしてもその電圧降下はセンスラインL2を介して差動増幅回路615にフィードバックされ、差動増幅回路615はその回路の性質からフィードバック電圧のレベルを入力電圧 V_{in} に一致させるように動作する。

【0049】

ここで、図3の回路を参照すると明らかなように、差動増幅回路615はMOSFETで構成されているため、その入力インピーダンスは比較的高くセンスラインL2によりフィードバックされる電圧 V_f の低下は非常に小さく無視できるレベルとなる。その結果、出力電圧 V_{out} はフォースラインL1の電圧降下分だけ入力電圧 V_{in} よりも高くなり、フォースラインL1の終端の電圧が差動増幅回路615の入力電圧 V_{in} と同一レベルとなり、正しいアナログ信号の伝送が行なわれる。

【0050】

なお、図3の例では、差動増幅回路615はMOSFETで構成されているが、バイポーラ・トランジスタで構成されていても良い。差動増幅回路615がバイポーラ・トランジスタで構成された場合、差動増幅回路615の入力インピーダンスが小さくなってセンスラインL2にも電流が流れて電圧降下が生じることとなるが、この場合には予めフォースラインL1の電圧降下分だけ高い電圧を出力するように出力段616を設計すれば良い。なお、出力段616は省略することが可能であり、差動増幅回路615から直接出力させることができる。また、出力段616として、差動アンプを使用したボルテージフォロワを用いても良い。

【0051】

ここで、フォースラインL1とセンスラインL2を並行して配設しかつ同一の電流が流れるように配線を設計しておけば、フォースラインL1の電圧降下とセンスラインL2の電圧降下はほぼ等しくなるので、差動増幅回路615への入力電圧 V_{in} とセンスラインL2を介したフィードバック電圧 V_f の電位差の半分だけ V_{in} よりも高い電圧を出力段616より出力させるようにすることで、フォースラインL1の電圧降下を保証した電圧を出力する回路の設計を比較的容易に行なうことができる。

【0052】

図4は、本発明の他の実施例としてDA変換回路を内蔵したシステムLSIの例を示すブロック図である。

【0053】

図4において、260がDA変換回路であり、620はこのDA変換回路260の内部に設けられ、DA変換回路260から外部出力端子261へ出力されるアナログ出力電圧をディジタル信号に変換する電圧測定回路である。図5には、この電圧測定回路620の一実施例が示されている。

【0054】

この実施例の電圧測定回路620は、直列形態の抵抗R0とツェナーダイオードD0とからなり所定の電圧Vcを発生する定電圧回路621と、一方の端子が接地点のような定電位点に接続され電荷を充放電するコンデンサ622と、該コンデンサ622の他方の端子と入力端子Vinとの間に直列に接続されたスイッチSW11および抵抗R11と、上記コンデンサ622の他方の端子と接地点との間に直列に接続されたスイッチSW12および抵抗R12と、差動増幅回路などからなり上記コンデンサ622の充電電圧と上記定電圧回路621の定電圧とを比較するコンパレータ623と、上記スイッチSW11およびSW12をオン、オフ制御する制御パルスP11、P12を形成するパルスコントロール回路624等から構成されている。

【0055】

この電圧測定回路620では、制御パルスP11、P12は互いにハイレベルの期間が重複しないように設定されており、先ずスイッチSW12をパルスコントロール回路624からの制御パルスP12によってオンさせることによって入力電圧をコンデンサ622にサンプリングさせ、次に制御パルスP11をスイッチSW11に与えてコンデンサ622の電荷を引き抜き、そのときの充電電圧すなわちノードN2の電圧Vcと上記定電圧回路621の定電圧とをコンパレータ623で比較する。

【0056】

上記制御パルスP11をP12に比べて短く設定するか抵抗R12の値をR11の値に比べて小さく設定しておくことにより、充電は高速で行ない放電は徐々に行なわれるようにしておいて、充電後に制御パルスP11によるスイッチSW11のオン、オフを繰り返してコンデンサ622の電圧を徐々に下げてコンパレータ623の出力が反転するまでの制御パルスP11のパルス数を計数し、その

パルス数と制御パルス P_{11} 、 P_{12} のパルス幅と抵抗 R_{11} 、 R_{12} の比とから演算によって最初にコンデンサ 622 にサンプリングされた入力電圧の値を知ることができる。

【0057】

この実施例では、上記パルスコントロール回路 624 および上記パルス数を計数するカウンタ、演算回路、DA変換回路 260 に与えるデジタル信号（テストパターン）を発生する回路などを、SRAM 140 に設けられている後述の可変論理アレイ（FPLA）141 に構築して DA 変換回路 260 のテストを行なうようにされている。これによって、この実施例の電圧測定回路 620 によれば、DA 変換回路 260 から外部端子 261 へ出力されるアナログ電圧を外部のテストで測定することなく DA 変換回路 260 のテストが可能になる。ただし、図 1 の実施例のように、ユーザロジックを構成するため FPGA からなるカスタム論理回路が設けられている LSI においては、ユーザロジックが構成される前の FPGA に上記パルスコントロール回路 624 やカウンタ、演算回路などを構築するようにしても良い。

【0058】

この実施例の電圧測定回路 620 は、制御パルス P_{11} 、 P_{12} の周期およびパルス幅を可変にすることで任意の精度で電圧を測定することができる。また、半導体集積回路では抵抗 R_{11} 、 R_{12} の抵抗値がプロセスでばらついても抵抗比はほぼ一定になるとともに、コンデンサ 622 の容量値がばらついても、充電と放電に同一のコンデンサを使用するので、ばらつきによる電圧測定精度への影響は少ない。しかも、電圧測定回路 620 が、測定したい電圧を出力する DA 変換回路 260 の近傍に配置されているため、テスト時に DA 変換回路 260 から出力される電圧の測定精度を高めることができる。

【0059】

一方、電圧測定回路 620 に供給される制御パルス P_{11} 、 P_{12} はデジタル信号であるため、制御パルス P_{11} 、 P_{12} を形成するパルスコントロール回路 624 が電圧測定回路 620 から離れた位置にある可変論理アレイ（FPLA）140 内に構築されても精度が低下する心配はない。ただし、この実施例にお

いても、DA変換回路260の外部の他の回路ブロックとの空きスペースや離れた位置に電圧測定回路620を設けるようにしてもよい。そして、そのようにした場合においても、前記フォースラインとセンスラインの2線方式によるアナログ信号の伝送方式を採用することにより、DA変換回路260と電圧測定回路620とが比較的離れた部位に形成されていても精度の高い測定が可能となる。

【0060】

なお、電圧測定回路620は図5の実施例の構成に限定されるものでなく、種々の構成例が考えられる。例えば上記抵抗R11、R12は、上記スイッチSW11、SW12の持つ抵抗成分を利用することで省略することも可能である。

【0061】

次に、AD変換回路を内蔵した図1のシステムLSI全体のテスト方法の一例を、図6を用いて説明する。

【0062】

図1のLSIのテストにおいては、先ずFPGA120が正常に動作するか検査され、不良の有無が判定されて不良があるときは不良個所の回避が行なわれる（ステップS1～S3）。次に、FPGA120内の上記不良個所を除いた部分にSRAM140および150をテストするためのテスト回路（ALPG）が構築され、SRAM140および150のテストが順次実行される（ステップS4、S5）。

【0063】

SRAM140および150に不良個所が発見されなかった場合には、FPGA120内の上記不良個所を除いた部分にカスタム論理回路110およびCPU130をテストするためのテスト回路（ロジックテスタ）が構築され、カスタム論理回路110およびCPU130のテストが実行される（ステップS6～S8）。このとき、既に検査が終了しているSRAMを利用してテストパターンもしくはテストパターン生成プログラムが格納される。

【0064】

不良が発見されなかった場合には、FPGA120内の上記不良個所を除いた部分にDRAM170および180をテストするためのテスト回路（ALPG）

が構築され、DRAM170および180のテストが順次実行される（ステップS9，S10）。そして、不良個所が発見された場合には、それがSRAM140または150あるいは外部の記憶装置に記憶されてから、DRAM170および180に設けられている冗長回路を利用して不良ビットを救済するための救済プログラムがCPU130に読み込まれ、CPU130によってそのプログラムが実行されてビット救済が行なわれる（ステップS11，S12）。

【0065】

その後、FPGA120内の上記不良個所を除いた部分に前記AD変換回路160をテストするための電圧発生回路610に制御パルスを送ってアナログ電圧を発生させる前記パルスコントロール回路614およびAD変換回路160から出力されるデジタル信号の期待値を発生したりAD変換後のデータと期待値とを比較して所望の精度等が得られているか判定したりするアナログテスト回路が構成される（ステップS13）。このステップS13では、ステップS1で得られている不良個所を示す情報を利用して、その不良個所を回避してFPGA120内に前記パルスコントロール回路614を含むアナログテスト回路を構成するためのデータを生成して、FPGA120内の接続情報記憶用メモリセルに対する書込み等を行なうことによって所望の機能を有する回路を構成する。

【0066】

しかる後、FPGA120内に構築された前記パルスコントロール回路614を含むアナログテスト回路を起動させ、電圧発生回路610に制御パルスを送ってアナログ電圧を発生させてその電圧をAD変換回路160でAD変換させてテストを実行する（ステップS14）。そして、変換されたデジタルデータと期待値とを比較して、所望の精度や性能が得られているものは良品と、所望の精度や性能が得られていないものは不良品と判定する（ステップS15）。

【0067】

その後、良品については、FPGA120内の上記不良個所を除いた部分にユーザ論理等のカスタム論理の一部が構成されて、システムLSIとして完成される（ステップS16）。このステップS16では、ステップS1で得られている不良個所を示す情報を利用してその不良個所を回避するようにユーザ論理を構成

するデータを、FPGA120内の接続情報記憶用メモリセルに書き込むことによって所望の論理を構成する。

【0068】

以上によって、所望の機能を有するシステムLSIが構築される。このようにして構築されたLSIは、FPGA120内に不良個所を回避して構成されたテスト回路によりRAMやDRAM、CPUおよびAD変換回路のテストが実行されるため、高機能の外部テストを使用することなく信頼性の高いテスト結果が得られるとともに、歩留まりも向上する。また、AD変換回路160内にはAD変換回路のテスト回路の一部を構成する電圧発生回路610を構成するだけで精度の高いAD変換回路のテストが行なえるので、テスト回路を内蔵させることに伴うチップサイズの増大も少なくすむ。さらに、FPGA120内に構成されたテスト回路による自己テスト終了後は、FPGA120にカスタム論理が構成されるため、無駄な回路が少なくなり、余分なチップサイズの増大を抑えることができる。

【0069】

DA変換回路を内蔵した図4のシステムLSIにおけるLSI全体のテスト方法は、図7に示されているフローチャートのステップS4以降とほぼ同じである。異なる点は、ステップS4、S6、S9、S13においてFPGAに構成するALPGやテスト回路を、FPGAでなくSRAM140の一部を構成する可変論理アレイ141内に構成する点と、ステップS13～S15で行なうテストの対象がAD変換回路でなくDA変換回路となる点である。

【0070】

従って、図4のLSIにおいても、可変論理アレイ141内に構成されたテスト回路によりRAMやDRAM、CPUおよびDA変換回路のテストが実行されるため、高機能の外部テストを使用することなく信頼性の高いテスト結果が得られるとともに、歩留まりも向上する。また、DA変換回路260内にはDA変換回路のテスト回路の一部を構成する電圧測定回路620を構成するだけで精度の高いDA変換回路のテストが行なえるので、テスト回路を内蔵させることに伴うチップサイズの増大も少なくすむ。さらに、可変論理アレイ141内に構成

されたテスト回路による自己テスト終了後は、可変論理アレイ 1 4 1 は S R A M として使用できるため、無駄な回路が少なくなり、余分なチップサイズの増大を抑えることができる。

【 0 0 7 1 】

次に、可変論理アレイ 1 4 1 の具体例について説明する。図 7 は可変論理アレイ 1 4 1 を構成する可変論理回路の一実施例を示す回路図、図 8 はその概念図である。図 7 の可変論理回路は、4 個のメモリセルと 1 個の相補出力回路とを有する 2 入力論理回路である。図 7 において、M C 1, M C 2, M C 3, M C 4 は、各々公知の S R A M (スタティック型ランダム・アクセス・メモリ) を構成するメモリセルとほぼ同様の構成を有するメモリセル、D O C は差動増幅回路からなるデータ出力回路、T G 1, T G 2 は上記メモリセル M C 1 ~ M C 4 に書込みデータを供給するための入力用伝送ゲートであり、通常の S R A M におけるワード選択信号に相当する信号が差動入力信号 I_{n0} , $\overline{I_{n0}}$, I_{n1} , $\overline{I_{n1}}$ として上記 4 つのメモリセル M C 1 ~ M C 4 からなる論理設定用メモリアレイ M C A に供給されるように構成されている。

【 0 0 7 2 】

このように論理設定用メモリアレイ M C A への入力信号を差動信号とすることにより、半導体集積回路の低電圧化により信号レベルが小さくなった場合にもノイズに強い論理回路を実現することができるとともに、メモリセル M C 1 ~ M C 4 の中のひとつを選択するためのデコーダが不要となる。着目する可変論理回路が外部端子から直接信号が入力される回路である場合には、図 8 のように入力信号 I_{n0} , I_{n1} に応じて正相と逆相の信号を出力するバッファ B F F 0, B F F 1 からの信号が供給される。一方、着目する可変論理回路が他の可変論理回路からの信号が入力される回路である場合には、図 7 と同様の構成を有する他の可変論理回路から出力される差動信号がそのまま入力される。

【 0 0 7 3 】

本実施例の可変論理回路を構成するメモリセル M C 1 ~ M C 4 が各々公知の S R A M を構成するメモリセルと異なる点は、S R A M メモリセルは一对の選択用 M O S F E T を備えるのに対し、本実施例のメモリセルはそれぞれ 2 対の選択用

MOSFETを有する点である。すなわち、本実施例の可変論理回路を構成するメモリセルMC1～MC4は、それぞれ2つのインバータの入出力端子を交差結合してなるフリップフロップ回路FFと、該フリップフロップ回路FFの2つの入出力ノードn1, n2にそれぞれ接続された直列形態の選択用MOSFET Q_{s11} , Q_{s12} ; Q_{s21} , Q_{s22} とから構成されている。

【0074】

上記フリップフロップ回路FFは、Pチャネル型MOSFETとNチャネル型MOSFETとからなる2つのCMOSインバータの入出力端子を交差結合したものでよい。あるいは、Nチャネル型MOSFETの電源電圧 V_{cc} 側にデプレッション型MOSFETあるいはポリシリコン抵抗などを負荷素子として設けた2つのインバータの入出力端子を交差結合したものでよい。

【0075】

本実施例の可変論理回路においては、上記4つのメモリセルMC1～MC4の選択用MOSFET Q_{s11} , Q_{s12} ; Q_{s21} , Q_{s22} のゲート端子に、入力信号 $In0$ または $\neg In0$ と $In1$ または $\neg In1$ との組合せ信号 $In0$, $In1$; $In0$, $\neg In1$; $\neg In0$, $In1$; $\neg In0$, $\neg In1$ のいずれかが印加されるように構成されている。そして、各メモリセルMC1～MC4のフリップフロップ回路FFの入出力ノードn1, n2は、それぞれ選択用MOSFET Q_{s11} , Q_{s12} と Q_{s21} , Q_{s22} を介して、終端がデータ出力回路DOCの一对の入力ノード $IN1$, $IN2$ に結合された共通のデータ信号線CDL, $\neg CDL$ に接続可能に構成されている。

【0076】

また、この共通データ信号線CDL, $\neg CDL$ と上記データ出力回路DOCの出力ノードOUT1, OUT2に結合されている入出力信号線IOL, $\neg IOL$ との間には、共通の入力制御信号 Cin がゲート端子に印加されたMOSFETからなる入力用伝送ゲートTG1, TG2が接続されている。この入力用伝送ゲートTG1, TG2はMOSFETに限定されるものでなく、例えばANDゲートなどの論理ゲート回路により構成することも可能である。データ出力回路DOCも図7のような差動増幅回路に限定されるものではない。データ出力回路DO

Cが図7のような差動増幅回路で構成されている場合には、定電流用MOSFET Q_c は、入力制御信号 C_{in} によって入力用伝送ゲートTG1, TG2が導通状態にされているデータ入力時に、例えばゲートバイアス電圧 V_c を0Vに下げることなどの方法によって電流が遮断されるように構成されるのが望ましい。

【0077】

次に、本実施例の可変論理回路の動作および使用方法について説明する。

本実施例の可変論理回路は、図8および表1に示されているように、4つのメモリセルMC1～MC4が2組の差動信号 I_{n0} , $\neg I_{n0}$; I_{n1} , $\neg I_{n1}$ のいずれかの組み合わせを選択信号とし、2つの信号が共にハイレベルにされているメモリセルが選択されるメモリセルとみなすことができる。

【0078】

【表1】

I_{n0}	I_{n1}	選択メモリセル
0	0	MC1
1	0	MC2
0	1	MC3
1	1	MC4

【0079】

従って、各メモリセルMC1～MC4に、次の表2のように予めデータを書き込んでおくと、2つの入力信号 I_{n0} , I_{n1} に応じて各メモリセルMC1～MC4から出力される信号は、それぞれ入力信号 I_{n0} と I_{n1} のナンド論理(NAND)、アンド論理(AND)、オア論理(OR)、エクスクルーシブ・オア論理(EOR)、ノア論理(NOR)またはエクスクルーシブ・ノア論理(ENOR)をとった信号となる。

【0080】

つまり、本実施例の可変論理回路は、4つのメモリセルMC1～MC4への書き込みデータを適当に設定することによって、論理LSIの論理を構成するのに必要な基本的な論理ゲート回路の機能を実現することができる。従って、このような可変論理回路を半導体チップ上に多数分散して配設しておくとともに、任意の可変論理回路間を接続可能にする配線群および交差する信号線のスイッチ素子と

からなる可変配線回路をチップ上に設けることにより、任意の論理を構成可能な可変論理アレイ（以下、F P L A と称する）を実現することができる。

【0081】

【表 2】

MC 1	MC 2	MC 3	MC 4	論理出力
1	1	1	0	NAND
0	0	0	1	AND
0	1	1	1	OR
0	1	1	0	EOR
1	0	0	0	NOR
1	0	0	1	ENOR

【0082】

次に、図 7 の可変論理回路を半導体チップ上に複数個配設した F P L A を構成する場合に、任意の可変論理回路間を接続可能にする可変配線回路の具体例を図 9 および図 10 を用いて説明する。

【0083】

図 9 に示すように、チップ上には格子状の配線領域 V L A , H L A が設けられ、これらの配線領域 V L A , H L A で囲まれた矩形領域の部分に上記実施例の可変論理回路（メモリセル MC 1 ~ MC 4 およびデータ出力回路 D O C）V L C および配線接続情報記憶回路 C D M が配置されている。特に制限されないが、縦方向の配線領域 V L A 1 , V L A 2 にはそれぞれ 4 本ずつまた横方向の配線領域 H L A 1 , H L A 2 にはそれぞれ 4 本と 2 本の信号線が配設されているとともに、縦方向の配線領域 V L A と横方向の配線領域 H L A との交差部分には縦方向の信号線と横方向の信号線との間を電氣的に接続可能なスイッチ素子 S W が設けられている。

【0084】

さらに、可変論理回路 V L C の入力信号線 L i n 1 ~ L i n 4 と縦方向の信号線 V L A 1 との交差部分と、可変論理回路 V L C の出力信号線 L o 1 , L o 2 と縦方向の信号線 V L A 2 との交差部分にも、これらの信号線間を電氣的に接続可能なスイッチ素子 S W が設けられている。1 つの可変論理回路に対応して設けら

れているスイッチ素子SWの数は、特に制限されるものでないが、この実施例では34個である。以下、図9に示されているような、可変論理回路VLCと配線接続情報記憶回路CDMと配線領域HLA1、HLA2と縦方向の信号線と横方向の信号線との間を電氣的に接続可能なスイッチ素子SWとにより構成される回路を可変論理セルLCLと称する。

【0085】

上記配線接続情報記憶回路CDMは、それぞれがSRAMのメモリセルと同様な構成を有する18個のメモリセルから構成され、上記スイッチ素子SWは上記配線接続情報記憶回路CDM内の18個のメモリセルのいずれかに対応されており、その対応するメモリセルに記憶されている配線接続情報によってオン状態またはオフ状態に設定されるように構成されている。

【0086】

この実施例においては、各可変論理回路VLCが正相と逆相の2つの入力信号（差動信号）を受けて、同様に正相と逆相の2つの信号を出力するように構成されているため、上記スイッチ素子SWのうち大部分は上記配線接続情報記憶回路CDM内の1個のメモリセルの記憶情報によって2つのスイッチ素子の状態が設定されるようにされている。唯一の例外は、可変論理回路VLCのメモリセルに設定するデータを供給するデータ入力線DINと縦方向の配線領域VLAの信号線とを接続可能にするスイッチ素子SW17、SW18であり、これらのスイッチ素子SW17、SW18は、上記配線接続情報記憶回路CDM内の1個のメモリセルと1:1で対応されている。図9においては、上記配線接続情報記憶回路CDM内に付記されている数字とスイッチ素子に付記されている数字が同一のもの同士が、互いに対応関係にある。

【0087】

図10には、図9の実施例を素子レベルで表わしたより具体的な回路構成が示されている。図において、縦方向の信号線と横方向の信号線との交点のうち記号（○で囲まれた×印）が付けられている個所がスイッチ素子のある個所を表わしている。配線接続情報記憶回路CDM内のメモリセルM1～M18と論理設定用メモリアレイ内のメモリセルMC1～MC4とは、選択用MOSFET（Q11

、Q 2 1、Q 1 2、Q 2 2) の数が配線接続情報記憶回路 C D M 内のメモリセル M 1 ~ M 1 8 の方が 1 組少ない点を除き、同一の構成を有している。配線接続情報記憶回路 C D M 内のメモリセル M 1 ~ M 1 8 の選択信号線 S L 1 ~ S L 9 は、前記配線領域 V L A、H L A の信号線とは別個に設けられている。

【 0 0 8 8 】

また、配線接続情報記憶回路 C D M 内の 1 8 個のメモリセル M 1 ~ M 1 8 は、可変論理回路 V L C のメモリアレイ M C A 内の 2 列のメモリセル M C 1 ~ M C 4 に対応して 2 列に配設されており、左側列のメモリセル M 1、M 3、……の入出力端子は、それぞれ共通のデータ線 D L 1、/ D L 1 に接続され、右側列のメモリセル M 2、M 4、……の入出力端子は、それぞれ共通のデータ線 D L 2、/ D L 2 に接続されている。このように、図 1 0 の実施例では、配線接続情報記憶回路 C D M 内のメモリセル M 1 ~ M 1 8 の選択信号線 S L 1 ~ S L 9 を別々に設け、いずれか 1 つを選択レベルにすることにより同一のデータ線を介して別々にデータを設定出切るように構成されている。

【 0 0 8 9 】

図 1 0 より明らかなように、実施例の可変論理セル L C L を用いた F P L A は、その大部分が公知の S R A M メモリセルと同様な構成のメモリセルから成るため、既に S R A M で開発されている微細化技術やレイアウト設計上のノウハウなどを応用することができる。従って、半導体チップ上に設けられる S R A M の一部として設けたり、あるいは各回路ブロック間の空スペースにも比較的多くの可変論理用セルを埋め込むことができる。なお、図 9 および図 1 0 の実施例では、一つの可変論理セルにつき、接続用配線を縦方向に 4 対、横方向に 3 対設けたものを示したが、配線数はこれに限定されるものでない。配線数および接続用スイッチをもっと増やすことで他の可変論理セルとの接続がより容易となり、所望の論理を構成するための配線接続情報の決定が容易となる。

【 0 0 9 0 】

図 1 1 には、実施例の可変論理セル L C L を半導体チップ上にマトリックス状に配置して F P L A を構成した場合における上記配線接続情報記憶回路 C D M 内のメモリセル M 1 ~ M 1 8 への配線接続情報の書込み方式の一例を示す。同図に

示されているように、この実施例では、横方向に並んだ複数の可変論理セル L C L に対して、各回路内のメモリセル M 1 ~ M 1 8 の選択信号を供給する選択信号線 S L 1 ~ S L 9 が横方向のセルに対して共通線として配設されており、これらの選択信号線 S L 1 ~ S L 9 の一端はデコーダ D E C に結合されている。ただし、図 1 1 では、縦方向と横方向の信号線の交点のスイッチは図示を省略してある。

【 0 0 9 1 】

上記デコーダ D E C はチップ外部から入力されるアドレス信号をデコードして選択信号線 S L 1 ~ S L 9 の中のいずれか 1 本の信号線を選択レベルにするように構成されている。そして、複数の可変論理セル L C L 内のメモリセル M 1 ~ M 1 8 のうち、選択レベルにされた信号線に接続されているメモリセルの入出力端子がデータ線 D L 1, / D L 1 ; D L 2, / D L 2 …… に接続される。データ線 D L 1, / D L 1 ; D L 2, / D L 2 …… の一端には、S R A M などで使用されているセンスアンプと同様の構成のアンプ回路 A M P 1, A M P 2, …… が接続されており、このアンプ回路 A M P 1, A M P 2, …… に外部からライトデータを入力することにより、そのとき選択されているメモリセルに配線接続情報が書き込まれるように構成されている。

【 0 0 9 2 】

図示しないが、上記データ線 D L 1, / D L 1 ; D L 2, / D L 2 …… は、上記アンプ回路 A M P 1, A M P 2, …… と反対側へ延設されており、この延設されたデータ線 D L 1, / D L 1 ; D L 2, / D L 2 …… にチップ上に縦方向に並んで配設されている複数の可変論理セル L C L 内のメモリセル M 1 ~ M 1 8 の入出力端子が共通に接続されている。これとともに、上記デコーダ D E C は縦方向の複数の可変論理セル L C L にも対応するように構成されており、デコーダ D E C によって縦方向の複数の可変論理セル L C L 中のいずれか 1 つの可変論理回路内の選択信号線 S L 1 ~ S L 9 の中の 1 本が選択レベルに駆動されるように構成されている。

【 0 0 9 3 】

さらに、この実施例においては、外部端子数を節約するため、上記デコーダ D

ECに供給されるアドレス信号ADDが1つの入力端子からシリアルに入力されるとともに、チップ内に設けられたシリアル-パラレル変換回路SPC1によってパラレル信号に変換されてからデコーダDECに供給されるように構成されている。同様に、可変論理セルLCL内のメモリセルM1～M18に書き込まれる配線接続情報DATAも1つの入力端子からシリアルに入力されるとともに、チップ内に設けられたシリアル-パラレル変換回路SPC2によってパラレル信号に変換されてから、アンプ回路AMP1, AMP2, ……に供給されるように構成されている。

【0094】

図12には、実施例の可変論理セルLCLを半導体チップ上にマトリックス状に配置してFPLAを構成した場合における論理設定用のメモリセルMC1～MC4への論理設定情報の書込み方式の一例を示す。同図に示されているように、この実施例では、格子状に配設された横方向の配線領域HLAに設けられているそれぞれの信号線のチップ周縁部側の端部に入力バッファIBFと出力バッファOBFとが接続されている。

【0095】

各入力バッファIBFはそれぞれ外部端子I/Oから1つの入力信号を受けて正相と逆相の信号を形成して内部回路へ供給し、出力バッファOBFはそれぞれ内部回路から供給される正相と逆相の信号を受けて正相または逆相のいずれかのシングル信号として外部端子I/Oへ出力するように構成されている。チップ内部で正相と逆相の2つ信号で情報を伝達するようにしているのは、近年においてはLSIの低電源電圧化が進められているので、チップの電源電圧が3.0Vや1.8Vのような低電圧になっても、回路を変更したりしなくてもノイズに影響されずに正しい信号を伝達できるようにするためである。しかも、可変論理セルLCLに供給される信号が正相と逆相の信号であることにより、4つの論理設定用のメモリセルを含む実施例の可変論理回路においては、入力された信号をそのまま論理設定用のメモリセルMC1～MC4の選択信号として与えることで、直ちに通常の2入力論理ゲートを通したのと同様の出力信号を得ることができる。

【0096】

特に制限されないが、この実施例では、同一の信号線に接続されている入力バッファ I B F と出力バッファ O B F は共通の外部端子 I / O に接続されており、制御信号 C i o によって入力バッファ I B F と出力バッファ O B F のいずれか一方のみを活性化させることで、信号の入力と出力に共通の端子を用いるようにして端子数を節約できるように構成されている。制御信号 C i o は各外部端子 I / O ごとに外部から与えても良いが、各外部端子 I / O を幾つかのグループに分け、グループ毎に共通の制御信号 C i o を与えるようにしても良い。また、この制御信号 C i o は、配線領域 V L A , H L A の信号線によりチップの内部回路から供給できるようにも構成しておくのが望ましい。なお、図には示されていないが、縦方向の配線領域 V L A に設けられているそれぞれの信号線のチップ周縁部側の端部にも同様に入力バッファ I B F と出力バッファ O B F とを接続するように構成しても良い。

【 0 0 9 7 】

上記のように構成された F P L A においては、チップ上に設けられている可変論理セル L C L 内の論理設定用メモリセル M C 1 ~ M C 4 に所定のデータを書き込むとともに、配線接続情報記憶用メモリセル M 1 ~ M 1 8 に所定の配線接続情報を書き込むことによって、配線領域 V L A に設けられている各信号線の交点のスイッチ素子 S W の状態を適宜設定することができ、これによってチップ上の任意の可変論理セル L C L を用いて所望の論理を構成することができる。

【 0 0 9 8 】

図 1 3 は、本発明を適用したシステム L S I の他の実施例を示すブロック図である。図において、C P U は中央処理ユニット、R O M はプログラムなどが格納されるリードオンリメモリ、S R A M は C P U の作業領域を提供するスタティク型メモリ、M M U はキャッシュ制御やメモリの割当等を行なうメモリ管理ユニット、D S P は C P U に代わって信号処理のための演算を行なうデジタルシグナルプロセッサ、C U S T O M はユーザが希望する機能を有するカスタム論理回路（ユーザロジック）、D A C は D A 変換を行なうアナログ回路である。

【 0 0 9 9 】

この実施例のシステム L S I は、上記各回路ブロック間の空きスペースに、図

10に示すような構成を有する可変論理セルLCLおよび後述の可変アナログセルを隙間なく敷き詰めておくとともに、チップの周縁部にはこれらの可変論理セルLCLおよび可変アナログセルに対してデータの入力を行なうためのデコーダ回路211, 212およびセンスアンプ221, 222を設けておいて、これらの可変論理セルLCLおよび可変アナログセルを用いてCPUやRAMなどを対象とするロジックテスト回路を構成するとともに、DA変換回路DACなどを対象とするアナログテスト回路を構成して、自己テストを行えるようにしたものである。

【0100】

図14は、上記のようなシステムLSIの設計、検査並びに製造方法の手順を示す。

【0101】

本実施例のシステムLSIの設計に際しては、先ずDAプログラムなどの設計支援ツールにより、前記実施例の可変論理セルLCLおよび可変アナログセルを半導体チップ上に隙間なく敷き詰めるとともに、チップ100の各辺に沿って可変論理セルおよび可変アナログセル内のメモリセルを選択するためのデコーダ回路211, 212（図11のDECに相当）と選択されたメモリセルのリード・ライト用のセンスアンプ列221, 222（図11のAMPに相当）を配置した全面FPLAを構成する（ステップS21）。

【0102】

次に、システムLSIを構成する中央処理ユニットCPUやリードオンリメモリROM、スタティック型メモリSRAM、ダイナミック型メモリDRAM、メモリ管理ユニットMMU、デジタルシグナルプロセッサDSP、カスタム論理回路（ユーザロジック）CUSTOMなどの回路ブロックを準備する（ステップS22）。そして、それらの回路ブロックの形状や大きさ、これらの回路ブロック間を接続するバスBUSの配置等を考慮して、図13に示すように半導体チップ上でのレイアウトを決定する（ステップS23）。

【0103】

次に、ステップS21で配置された全面FPLAを構成する可変論理セルおよ

び可変アナログセルのうちステップ S 2 3 で決定された回路ブロックのレイアウト位置と重なる領域の可変論理セルおよび可変アナログセルを削除する（ステップ S 2 4）。それから、削除された領域に当該領域に配置されるべき回路ブロックを配置し、回路ブロック間を接続する信号線や電源ラインを設計する（ステップ S 2 5）。

【0104】

なお、このとき、可変論理セルおよび可変アナログセルの境界で F P L A が切断されていればそのままが良いが、可変論理セルまたは可変アナログセルの途中で F P L A が切断されて有効に機能しない素子が生じている場合には、そのような素子に接続される電源ラインやグラウンドラインとの接続を切るなどの終端処理を行なうようにするのが望ましい。また、セルの一部に回路ブロックが重なることでセルの一部が欠けてしまうような場合には、一部が欠けるセルについてはそのセル全体を削除するようにすることも可能である。

【0105】

その後、設計データに基づいてマスクを作成し、作成されたマスクを使用して製造プロセスにてウェハ上にシステム L S I を形成する（ステップ S 2 6）。上記のようにしてシステム L S I が製造されたならば、各回路ブロックが正常に動作するか否かのテストが、図 6 のフローチャートと同様な手順に従って行なわれる。なお、このテストはウェハの状態でのプローブ検査により行なわれる。

【0106】

まず、ウェハテストでは、先ず各回路ブロック間の隙間や周辺に残っている F P L A 部を試験するためのテスト装置および論理合成&書込み装置を外部装置にて構成する。ここで、テスト装置や論理合成&書込み装置を構成するための外部装置としては、通常のパーソナルコンピュータなどを用いることができる。

【0107】

上記のような準備が終了したならば、テスト装置のプログラムを起動させる。すると、テスト装置は、チップ内のデコーダ 2 1 1, 2 1 2 に可変論理セルを指定するアドレス信号を入力して 1 つの可変論理セルを選択した状態とし、当該セル内の配線接続情報記憶回路 C D M 内のメモリセルに接続情報を書込んで F P

LA内の1つの可変論理セルの可変論理回路が外部端子と接続された状態にする。

【0108】

次に、選択状態の可変論理セル内の論理設定用メモリセルMC1～MC4に対してテスト装置から4ビットのテストデータを送って書き込み、それを読み出して期待値と比較する動作を、テストデータのパターンを変えて繰返し行ない、正常か否か判定する。そして、正常でなかった場合には、テスト結果から不良論理セルを特定し、その不良論理セルをテスト装置内に記憶する。このとき、前記領域削除で存在しなくなった可変論理セルがあればそのセルを知ることができるので、そのような不在論理セルも記憶する。同様にして、可変アナログセルについてもテストして不良セルや不在セルを検出する。なお、上記可変論理セルのテストは、対象となるセルの数が多いだけでそれぞれのセルに関するテストパターンは小規模で済むため、テスト装置の負担は非常に少なく高価なテストを使用する必要はない。

【0109】

上記のようにして検出された不良論理セルには、テストデータが書き込まれる論理設定用メモリセルMC1～MC4のみでなく、検査対象の論理ユニットに信号を伝送できるようにする信号線交点のスイッチ素子SWおよびそのオン/オフ状態を記憶する配線接続情報記憶回路CDM内のメモリセルに欠陥があるものも含まれる。論理設定用メモリセルMC1～MC4が正常でも、スイッチ素子が壊れていたり配線接続情報記憶回路CDM内のメモリセルが不良であれば、書き込んだデータが読み出せないのも結果として不良が存在していることを把握できるからである。テストパターンを工夫することにより、不良論理セル内のどの素子または信号パスに不良があるのかも検出し、その不良素子または不良パスを記憶するようにしても良い。同様にして可変アナログセルについても不良セルの検出を行なう。

【0110】

不良セルの検出およびその記憶が終了すると、正常な可変論理セルおよび可変アナログセルをリストアップして、リストアップされた可変論理セルおよび可変

アナログセルのうちテスト回路を構成するのに使用するセルを選択する。それから、設定された領域に回路ブロックを試験するテスト回路を構築する。具体的には、前記実施例の可変論理セル内の論理設定用メモリアレイにそれぞれ所定のデータを書き込むことでテスト回路を構成するのに必要な論理ゲートを構成するとともに、このようにして構成された所定の論理機能を有する論理ゲート回路間を接続する配線間接続情報を生成して論理ユニット内のメモリ回路CDMに書き込むことでテスト回路を構築する。このとき、HDL (Hardware Description Language) に関する技術を用いて、テスト回路をHDLで記述しこのHDL記述からコンピュータにより、可変論理セル内のメモリに記憶すべきデータを自動的に生成し、かつ生成したデータを正常な可変論理セルに書き込んでテスト回路を構築するようにすることができる。

【0111】

FPLA部に構築されるテスト回路は、マイクロ命令方式の制御部と、データの演算部、および読み出されたデータを判定して判定結果を出力するデータ判定手段などからなり所定のアルゴリズムに従ってテストパターンを生成するとともに書き込んだデータの読出しを行なうALPG (アルゴリズムック・メモリ・パターン・ジェネレータ) と呼ばれるテスト技術を応用することが可能である。

【0112】

上記のようにして既に検査済みのFPLAにチップ内の回路ブロック用のテスト回路を構築したならば、当該テスト回路を用いてチップ上の各回路ブロックの検査を行なう。なお、上記テスト回路は、チップ内の複数の回路ブロックに対して共通のテスト回路として構築することも可能であるが、各回路ブロック毎に最適なアルゴリズムのテスト回路をそれぞれ構築し直してテストを行なうようにしても良い。テスト回路から各回路ブロックへのテスト信号の供給は、図9において可変論理セルを構成する配線領域VLA1, VLA2, HLA1, HLA2の配線を延長させたものを用いても良いし、配線領域VLA1, VLA2, HLA1, HLA2の配線をシステムのバスを構成する信号線に接続してバスを介して供給するように構成しても良い。

【0113】

さらに、上記テストの終了後は、テスト回路をそのまま残しても良いし、テスト回路を構成する論理記憶を各可変論理セル内の記憶素子から消去するようにしても良い。あるいは、テスト回路が構築されていたFPLA部を、チップ上の回路ブロック（例えばCPU）が作業領域や記憶領域として使用できるようSRAMに構成し直したり、ユーザ論理の一部を構成する論理回路として使用することも可能である。

【0114】

また、上記テストによりいずれかの回路ブロックの一部に欠陥が見つかったならば、その欠陥回路を補修する補修回路をFPLA部に構成するようにしてもよい。この場合、テスト回路を構成していた可変論理セルおよび可変アナログセルを用いてその論理記憶や接続情報を書き換えて補修回路を構成しても良いし、テスト回路の構成に用いられなかった可変論理セルおよび可変アナログセルを用いて補修しても良い。

【0115】

さらに、ユーザ論理回路を改良した新製品を開発するような場合に、FPLAを利用して新しいユーザ論理回路を構築してエミュレーションを行なって評価することができる。また、LSIの完成後にユーザ論理回路に修正の必要性が生じたり、新たな機能を一部追加したい事情が生じた場合にも、FPLA部を利用すれば、そのような修正や機能の追加等が容易に行なえる。そして、この場合にもテスト回路と同様にユーザ論理をHDLで記述し、このHDL記述からコンピュータにより自動的にFPLA上に所望の論理を構成させるようにすることができる。

【0116】

次に、FPLAを構成する可変アナログセルの一実施例を、図15～図18を用いて説明する。図15および図16を参照すると分かるように、可変アナログセルは2種類ある。このうち図15は図2に示されている電圧発生回路610と同様な回路を有するセル、図16は図5に示されている電圧測定回路620と同様な回路を有するセルであり、それぞれ電圧発生回路610または電圧測定回路620（以下、これらをアナログコア部ACRと称する）の周囲にこれらをチッ

プ上の他の任意の回路と接続可能にする可変スイッチ回路および配線を設けた構成とされている。

【0117】

なお、図16のアナログコア部ACRは図5の電圧測定回路620と全く同一の構成を有するが、図15のアナログコア部ACRは図2の電圧発生回路610と若干異なり、最終段に図3に示されている差動増幅回路615と出力段616からなる出力アンプOPAを有する構成とされている。これは、この可変アナログセルから出力される電圧をフォースラインとセンスラインの2線方式で出力できるようにするためである。

【0118】

図15および図16の可変アナログセルVAC1, VAC2は、図9に示されている可変論理セルと類似の構成を有する。具体的には、図15および図16の可変アナログセルは、図9の可変論理セルにおける可変論理回路VCLをそれぞれ電圧発生回路610または電圧測定回路620に置き換えた構成とされている。すなわち、図15および図16の可変アナログセルは、格子状の配線領域VLA, HLAと、これらの配線領域VLA, HLAに設けられている配線同士の交点に配置されているスイッチ素子SWと、配線領域VLA, HLAで囲まれた矩形領域の部分に設けられた電圧発生回路610または電圧測定回路620および配線接続情報記憶回路CDMとから構成されている。

【0119】

図15および図16の実施例の可変アナログセルでは、電圧発生回路610または電圧測定回路620の周囲に設けられる配線領域VLA, HLAと、スイッチ素子SWと、配線接続情報記憶回路CDMは、図9の可変論理セルと全く同一の構成を有するようにしている。このようにしても電圧発生回路610または電圧測定回路620（以下、これらをアナログコア部ACRと称する）をチップ上の他の任意の回路と接続することができるとともに、同一構成とすることによって設計の容易化と、セルの規則化による効率の良いセルレイアウトが可能となる。

【0120】

図 1 7 には図 1 5 のセルのより具体的な回路構成例を、また図 1 8 には図 1 6 のセルのより具体的な回路構成例をそれぞれ示す。

【 0 1 2 1 】

図 1 7 および図 1 8 と可変論理セルの具体例を示す図 1 0 とを比較すると明らかなように、可変アナログセルのアナログコア部 A C R は可変論理セルの可変論理回路 V C L と回路的にも類似の構成を有する。すなわち、この実施例では、可変アナログセルのアナログコア部 A C R と可変論理セルの可変論理回路 V C L とを全く同一の素子の集合体をベースとして、つまり同一のマスクを使用して可変アナログセルと可変論理セルをそれぞれ構成するのに必要な素子を予め形成しておいて、配線パターンのみ変えることでアナログコア部 A C R と可変論理回路 V C L を形成できるようにしている。

【 0 1 2 2 】

これによって設計の容易化と、セルの規則化による効率の良いセルレイアウトが可能となる。図 1 0 の可変論理回路 V C L を構成する素子の数は約 4 0 個であるのに対し、図 1 7 の可変アナログセルのアナログコア部 A C R を構成する素子の数は 2 5 個、また図 1 8 の可変アナログセルのアナログコア部 A C R を構成する素子の数は 2 3 個である。また、抵抗素子は M O S F E T のチャネルを利用した抵抗で置き換え、容量素子は M O S F E T のゲート電極とソース・ドレイン間容量で置き換え、さらにダイオードもゲートとドレインを結合した M O S F E T で置き換えることができる。従って、可変論理セルの可変論理回路 V C L を構成するのに必要且つ十分な素子を形成しておけば、これを用いて図 1 7 や図 1 8 のアナログコア部 A C R を構成することが可能である。

【 0 1 2 3 】

しかも、この実施例においては、可変論理セル間では差動信号の伝達に使用している互いにペアをなす接続配線を、可変アナログセルでは前述のアナログ信号の 2 線伝送方式におけるフォースラインとセンスラインとして利用するようにしている。図 1 5 および図 1 6 において符号 F T L で示されているのがフォースライン、符号 S S L で示されているのがフィードバック用のセンスラインである。図 1 6 においては、スイッチ S W 1 7 がアナログ信号の伝送路の終端でフォース

ラインとセンスラインとを接続するいわゆるケルビンコンタクトを実現している。

【0124】

さらに、上記のようにアナログ信号の伝送にフォースラインとセンスラインの2線方式を採用する場合には、図19に示すように、フォースラインとして利用される配線とセンスラインとして利用される配線の太さを変えてフォースラインは太い方を使用するようにするのが望ましい。なお、図19では、符号Fがフォースラインを、また符号Sがセンスラインをそれぞれ示している。

【0125】

前述したようにフォースラインの方がセンスラインよりも大きな電流が流れるので、それに伴う電圧降下を減らすためである。また、フォースラインとフォースラインを並べて配設するとともに、センスラインとセンスラインも並べて配設するようにするのが望ましい。これによって、隣接するライン間で短絡欠陥が発生した場合に、短絡箇所がケルビンコンタクトとして作用して誤った電圧がフィードバックされるのを回避することができる。

【0126】

なお、図13のシステムLSIのようにDA変換回路DACのようなアナログ回路とカスタム論理回路CUSTOM等のデジタル回路とが1つのチップ上に形成されたアナログ・デジタル混載のLSIにおいて、アナログ回路とデジタル回路を回路ブロックの空きスペースに敷き詰められた可変論理セルや可変アナログセルにより構成されたテスト回路を用いてテストできるようにする場合、図10のような構成の可変論理セルLCLと図17や図18のような構成の可変アナログセルVAC1、VAC2を、図20に示すように、交互に並べて敷き詰めるようにするのが望ましい。

【0127】

これによって、可変論理セルを用いてデジタル回路のテスト回路を構成してテストした後、可変アナログセルを用いてアナログ回路のテスト回路を構成してテストすることにより、アナログ回路とデジタル回路の両方をオンチップのテスト回路でテストすることができるようになる。また、可変アナログセルを用い

てアナログ回路のテスト回路を構成する場合、図2や図5のようなアナログ・テスト回路を動作させる制御パルスを生成する回路が必要となるが、そのようなパルス生成回路はデジタル回路のテスト回路を構成するのに使用した可変論理セルを用いて構成することができる。

【0128】

一般には、アナログ回路のテスト回路を構成する可変アナログセルよりもデジタル回路のテスト回路を構成する可変論理セルの方が数多く必要となると考えられるので、図10のような構成の可変論理セルと図17や図18のような構成の可変アナログセルを図20のように1:1:1の割合で配置する代わりに、例えば $n:1:1$ (n は正の整数)のように、構成したいテスト回路に応じて任意の割合で配置して回路ブロックの空きスペースにFPLAを構成しておくようにするのが望ましい。このように、セルの割合を変更したとしても、前記実施例のように類似の構成を有する可変論理セルと可変アナログセルを用いれば、単にセルを入れ替えるだけで良いので、設計変更が非常に簡単に行なえるという利点がある。

【0129】

図21は、FPLA部に配設される配線の具体例を示す。前述したように、FPLA部を構成する可変論理セルや可変アナログセルはそれぞれ任意の信号線間を接続可能な可変配線手段を備えており、可変論理回路VLCやアナログコア部ACRに関してはチップ上のどの場所にある可変論理セルに対しても外部から信号を入出力できるが、配線接続情報記憶回路CDMを構成するメモリセルの選択信号線(図10, 図17, 図18のSL1~SL9)やデータ入出力線(DL1, /DL1; DL2, /DL2等)に関しては、チップ上に回路ブロックを配置することにより配線が分断され、信号が届かなくなる可変論理セルや可変アナログセルが生じる。

【0130】

また、半導体チップ上に例えば図13のように回路ブロックが配置された場合に、右上隅の比較的広い余剰領域を利用してチップ内回路ブロックのテスト回路を構成したとすると、MMUやADCなど隣接した回路ブロックへのテスト信号

の供給は容易であるが、SRAMなど離れた位置にある回路ブロックへのテスト信号の供給は困難になる。同様に、テスト終了後に余剰部分の可変論理セルを使用してユーザ論理の一部を構成するような場合にも、構成された回路と他の回路ブロックとの間の信号伝達が困難になることが考えられる。

【0131】

そこで、この実施例では、複数の可変論理セルや可変アナログセルにまたがって配設される信号線に関しては、回路ブロック用の信号線とは別個に追加した配線層を用いて構成するようにした。具体的には、図13におけるCPUやDSPなど回路ブロックの信号線や電源ラインなどの配線が6層のメタル層によって構成されている場合には、複数の可変論理セルLCLにまたがって配設される信号線は7層目と8層目のメタル層によって構成する。これによって、図21に示すように、CPUなどの回路ブロックの上を通る配線を形成して、回路ブロックの両側に位置する可変論理セルや可変アナログセル同士を接続して所望のテスト回路を容易に構成することができるようになる。

【0132】

なお、可変論理セルや可変アナログセルに配設される電源ラインに関しては、離れている可変論理セル同士が回路ブロックによって分断されても電源ラインは可変論理セルと回路ブロックとで互いに接続しても何ら問題はないので、回路ブロックの電源ラインと同一のメタル層によって形成することができる。また、可変論理セルや可変アナログセル内の信号線（図10におけるCDL、/CDL等）に関してもセル外部の素子と直接接続されることがないので、回路ブロックを構成する論理ゲートやフリップフロップなどの回路において素子間を接続する配線と同一のメタル層（一般には1層目）によって形成することができる。

【0133】

これによって、回路ブロック間に存在している可変論理セルや可変アナログセルに対しても信号を伝達してテスト回路やユーザ論理を構成するセルとして有効利用することができるようになる。また、テスト回路から離れた位置にある回路ブロックへのテスト信号の供給も容易となり、チップへのテスト機能の組込みとスピードアップが可能となる。

【 0 1 3 4 】

さらに、可変論理セルの可変配線手段を利用することで容易に迂回経路を構成することができるため、複数の可変論理セルや可変アナログセルにまたがって配設される信号線として例えばP I Q（ポリミイド絶縁膜）と呼ばれる安価ではあるが比較的信頼性は低いプロセスを利用して形成することによって、配線層の追加に伴うコストアップを抑えることもできる。なお、迂回経路の形成は、可変論理セル間を接続するための配線と、断線のある配線下および迂回径路の曲がり角の下にある可変論理セルのスイッチおよびその配線接続情報を記憶するメモリセルとを利用することによって可能となる。

【 0 1 3 5 】

図 2 2 に、回路ブロック間の空きスペースに配設されたF P L Aを利用して、図 1 5 および図 1 6 の可変アナログセルと、回路ブロック内の任意の素子もしくは回路とを接続してアナログ信号を送受信する伝送路を形成した様子を示す。図 2 2 において、符号R Tで示されているのは、図 3 において電圧発生回路 1 6 0 からの電圧（アナログ信号）を受ける受信側のトランジスタである。また、符号A O Pで示されているのは、アナログ信号を出力するアナログ回路である。

【 0 1 3 6 】

アナログ回路A O Pの出力は本来当該回路ブロック内の他の回路や他の回路ブロックへ出力されるものであるが、この実施例ではテスト用の配線層を利用してF P L Aの可変アナログセルへ引き出されており、これによりアナログ回路A O Pの出力電圧を測定したりすることができるようになっている。また、この実施例では、F P L Aを構成するセル間接続配線（V L A，H L A）がペア配線とされているため、図 2 2 に示されているように、アナログ信号を送受信する伝送路としてのフォースラインF T LとセンスラインS S Lを互いに並行して配設することが容易となる。

【 0 1 3 7 】

これによって、フォースラインF T Lにおける電圧降下量とセンスラインS S Lにおける電圧降下量の比率が、ラインの引回しの仕方すなわち配線の長さにかかわらず一定となり、回路の設計が容易となる。また、図 2 2 を参照すると明ら

かなように、上記実施例の構成にあつては、F P L A を構成するセル間接続配線（V L A, H L A）の一部に断線があつても、その断線箇所を迂回して所望の回路と接続する伝送路を設定するのが容易である。そして、そのように迂回路を設定したとしても、フォースラインとセンスラインの2線方式で信号を伝達するので、送信側では電圧降下分を見込んで高い電圧を出力するように動作するため、正しいレベルの信号が伝送されるようになる。

【0138】

なお、図22において、出力電圧を測定したいアナログ回路A O P から可変アナログセルへフォース／センス方式で電圧を出力するように構成して、アナログ回路A O P がセンスラインからのフィードバック電圧を受けられるようにするためには、アナログ回路A O P の出力段に図3に示されているような差動増幅回路615が必要となる。しかし、一般にアナログ回路では出力部に差動増幅回路からなる出力アンプを有することが多いので、それを利用することで、新たに回路を追加するような大きな設計を行なうことなく、図22に示されているようなフォース／センス方式によるアナログ信号の伝送が可能となる。

【0139】

図23は本発明の他の実施例を示す。この実施例は、L S I を構成する回路ブロックのうち例えばD A 変換回路D A C に不良が検出された場合に、このD A 変換回路D A C の機能を、回路ブロック間に敷き詰められたF P L A の可変アナログセルおよび可変論理セルを用いて構成することでチップの歩留まりを向上させるようにしたものである。図23においては、チップの右上隅に敷き詰められている可変アナログセルおよび可変論理セルを用いて代替D A 変換回路D A C ' を構成した様子を示している。

【0140】

同図に示されているように、この実施例では、本来のD A 変換回路D A C に入力される信号を代替D A 変換回路D A C ' へ入力させる配線231が設けられている。また、D A 変換回路D A C と出力回路241とを接続する出力信号線230が、×印で示すような箇所で切断され、代わりに代替D A 変換回路D A C ' と出力回路241とを接続する配線232が設けられている。なお、上記配線23

1 は、前述の最上層の P I Q を利用して形成するのが望ましい。

【 0 1 4 1 】

さらに、この実施例においては、S R A M 1 4 0 は通常の S R A M 回路を用いて構成されているのに対し、S R A M 1 5 0 は図 1 0 に示すような構成の可変論理セルを用いて構成され、この可変論理セルは他の回路ブロックをテストするテスト回路を構成するのに利用された後、システムバス B U S に接続されて C P U からアクセス可能な S R A M として動作するように配線接続が変更されるようになっている。

【 0 1 4 2 】

図 2 4 はアナログ回路を搭載したシステム L S I の他の実施例を示す。この実施例は、C P U と S R A M と M M U と共に、ハードディスクのような磁気記憶において P R M L (Partial Response Maximum Likelihood) 方式で媒体からの読出し信号の処理および書込み信号の生成を行なう回路を構成する A D 変換回路 A D C および D A 変換回路 D A C とアナログ信号の処理のための演算を行なうためのデジタルシグナルプロセッサ D S P とを、1つの半導体チップ 1 0 0 上に搭載するとともに、各回路ブロックの空きスペースに前述の実施例の可変アナログセルおよび可変論理セルを敷き詰めた F P L A を設けるようにしたものである。

【 0 1 4 3 】

P R M L 方式の回路は、図 2 5 に示すように、リード用磁気ヘッド 3 1 1 からの読出し信号を増幅する自動利得制御型アンプ 3 2 1 と、増幅された信号からノイズ周波数成分を除去するフィルタ回路 3 2 2 と、読出し信号を A D 変換する A D 変換回路 3 2 3 (A D C) と、暗号化されて記憶されていたリードデータを解読したりライトデータを暗号化したりする暗号処理回路 3 2 4 (D E Q) と、ライトデータを符号化したりリードデータを復号化したりするエンコーダ&デコーダ 3 2 5 と、ライトデータのアナログ信号への変換などの信号処理を行なう信号処理回路 3 2 6 と、ライト用磁気ヘッド 3 1 2 を駆動するライトアンプ 3 2 7 と、A D 変換回路 3 2 3 (A D C) や暗号処理回路 3 2 4 (D E Q) の動作に必要とされるクロック信号を発生する P L L (フェーズロックドループ) 回路 3 2 8 などから構成されている。

【 0 1 4 4 】

図 2 4 の実施例のシステム L S I においては、P R M L 方式の回路を構成する回路ブロックのうち、暗号処理回路 3 2 4 (D E Q) と、エンコーダ&デコーダ 3 2 5 および信号処理回路 3 2 6 の D A 変換回路を除く回路の機能は、デジタルシグナルプロセッサ D S P により実現される。また、自動利得制御型アンプ 3 2 1 とフィルタ回路 3 2 2 とライトアンプ 3 2 7 と P L L 回路 3 2 8 は、F P L A の可変アナログセルや可変論理セルを用いて構成されるようになっている。

【 0 1 4 5 】

さらに、この実施例のシステム L S I においては、F P L A の可変アナログセルや可変論理セルを用いて、図 2 6 に示すように、フィルタ回路 3 2 2 をテストするための D A 変換回路 4 1 1 および A D 変換回路 4 1 2 や、A D 変換回路 3 2 3 をテストするアナログ信号を生成する D A 変換回路 4 1 3、信号処理回路 3 2 6 のアナログ出力電圧を測定するためのテスト用 A D 変換回路 4 1 4 等を構成してテスト行なうようにしている。

【 0 1 4 6 】

上記のように、本発明を適用することにより、従来は P R M L 回路全体としてのテストしか行なえなかったものが、P R M L 回路の一部を構成するより小さな単位の回路をターゲットとしてテストを行なうことができるようになる。しかも、テスト終了後にはテストに使用した F P L A を用いて自動利得制御型アンプ 3 2 1 やライトアンプ 3 2 7 などを形成することができるため、無駄が少なくなり、チップサイズを低減することができるという利点がある。

【 0 1 4 7 】

図 2 7 は本発明の他の実施例を示す。前記実施例においては、1 つの L S I チップ上に敷き詰め配設された可変論理セルおよび可変アナログセルのうち回路ブロックの領域を除いた部分の可変論理セルを用いてテスト回路を構成し、チップ内部の回路ブロックのテストを行なうようにしているが、図 2 7 の実施例においては、ウェハ全体に可変論理セルおよび可変アナログセルを敷き詰めてウェハ全面に F P L A を形成している。すなわち、この実施例では、各 L S I の境界となるスクライブ領域 S C A にも可変論理セルおよび可変アナログセルが敷き詰めら

れており、回路ブロック間およびチップ間の空きスペースに残存している可変論理セルおよび可変アナログセルを用いてテスト回路を構成し、ウェハ上の各回路のテストを行なうようにしたものである。

【 0 1 4 8 】

また、前記実施例では各 L S I に設けられたパッドよりテスト回路への信号の入出力を行なうように構成したが、この実施例においては、特に制限されないが、ウェハ 5 0 0 のほぼ中央を通るスクライブ領域 S C A x, S C A y に、可変論理セルに接続されるパッド列 5 1 0 を設けて可変論理セルにより構成されるテスト回路に対する信号の入出力を行なえるように構成されている。

【 0 1 4 9 】

これによって、各 L S I にテスト回路への信号の入出力を行なうパッドを設ける必要がなくなり、各チップのパッド数を減らしチップサイズを小さくすることができるとともに、ウェハ状態でのバーンイン工程で各 L S I もしくはそれを構成する回路ブロックのテストを行なうことができ、加速度試験を含めた L S I の検査、試験時間を大幅に短縮することができる。さらに、チップ毎にテスト用のパッドを有するとウェハ状態でテストしようとするとうータルのパッド数が膨大な数となり、テストからのプローブをすべてのテスト用パッドに接触させることが困難になるが、本実施例のように、スクライブラインに設けられた共通のパッドから各チップへテスト信号を供給するように構成ことにより、ウェハ全体のテスト用パッドの数を大幅に減らすことができ、ウェハ状態でのテストが容易となる。

【 0 1 5 0 】

なお、ウェハレベルでのテストを可能にする図 2 7 の実施例においては、各 L S I 毎に設けられているデコーダ 2 1 1, 2 1 2 やセンスアンプ列 2 2 1, 2 2 2 を、テスト用のパッドと同様にスクライブ領域 S C A x, S C A y に設けるようにすることができる。また、図 2 7 の実施例において、空きスペースにある可変論理セルおよび可変アナログセルを用いて構成されるテスト回路は、各 L S I 毎であっても良いし、ウェハ全体で一つのテスト回路としたり、あるいは図 2 7 のようにスクライブ領域 S C A x, S C A y で 4 分割された扇形の領域毎にそれ

ぞれテスト回路を構成してテストを行なわせるように構成することも可能である。さらに、ウェア上のある部分にはCPUのテスト回路を、また他の部分にはDSPのテスト回路を、というように、チップ上の全ての回路ブロックのテスト回路をウェア上に分散して構成して検査することも可能である。

【0151】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例では、回路ブロック形成領域以外の領域に敷き詰められた可変論理セルおよび可変アナログセルからなるFPLAにチップ内の回路ブロックを検査するテスト回路を構成するとしたが、それ以外にFPLAの一部に他のFPLAの可変論理セルを検査するテスト回路を構築して自ら検査を行なうように構成することも可能である。

【0152】

また、LSIの空きスペースに設けたFPLAを利用するとチップの任意の箇所の信号をチップ外部へ取り出したり、入れたりすることができるので、不良のあったLSIにおいて不良個所を検出する不良解析や、ユーザが開発したプログラムのデバッグを行なうためのエミュレーションに際して、テスト回路を構成していた可変論理セルを使用してバス上の信号をサンプリングして保持するトレース回路や所望の内部信号を外部より監視できるようにするモニタ回路などエミュレーションを容易にするための機能を実現することも可能である。

【0153】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるシステムLSIに適用した場合について説明したが、それに限定されるものでなく、アナログ回路を搭載した半導体集積回路一般に利用することができる。本発明は、特にCBI方式で設計する半導体集積回路に利用すると有効である。

【0154】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単

に説明すれば下記のとおりである。

【0155】

すなわち、本発明に従うと、高機能の外部テストを用いることなくアナログ回路を内蔵したLSI内部のアナログ回路のテストを比較的高い精度で行なうことができるようになるとともに、チップサイズを増大させたり歩留まりを低下させることなくアナログ回路を検査するテスト回路を半導体チップ上に構成することができる。

【0156】

また、本発明に従うと、内部にアナログ回路を有する半導体集積回路の歩留まりを向上させることができるとともに、テスト回路自身での不良発生により歩留まりが低下するのを回避することができる。

【0157】

さらに、本発明に従うと、フォースラインとセンスラインの2線方式によりアナログ信号を伝送するため、チップ内部の比較的離れた回路間でアナログ信号を伝送するように構成されている半導体集積回路における動作精度を向上させることができる。

【図面の簡単な説明】

【図1】

本発明を適用したAD変換回路を内蔵したシステムLSIの一実施例を示すブロック図である。

【図2】

本発明を適用したシステムLSI内に設けられるAD変換回路のテスト用の電圧を発生する電圧発生回路の一実施例を示す回路構成図である。

【図3】

2線方式でアナログ信号を伝送する回路の概略を示す回路図である。

【図4】

本発明を適用したDA変換回路を内蔵したシステムLSIの一実施例を示すブロック図である。

【図5】

本発明を適用したシステム L S I 内に設けられる D A 変換回路の出力電圧をデジタル信号に変換する電圧測定回路の一実施例を示す回路構成図である。

【図 6】

本発明を適用したシステム L S I における内部回路の検査手順の一例を示すフローチャート図である。

【図 7】

本発明に係る半導体集積回路に用いられる可変論理回路の一実施例を示す回路図である。

【図 8】

図 7 の実施例の可変論理回路の概念図である。

【図 9】

任意の可変論理回路間を接続可能にする信号線とスイッチ素子とからなる可変配線回路の構成例を示す概略構成図である。

【図 1 0】

F P L A を構成する可変論理セルの具体例を示す回路図である。

【図 1 1】

実施例の可変論理セルを並べて構成した F P L A における論理設定用メモリセルおよび可変配線回路を構成する配線接続情報記憶回路のメモリセルへの書込み系の回路の構成例を示すブロック図である。

【図 1 2】

実施例の可変論理セルを並べて構成した F P L A 上に構築された論理回路に対する信号に入出力系の回路の構成例を示す論理構成図である。

【図 1 3】

本発明を適用したシステム L S I の他の実施例において、可変論理セルおよび可変アナログセルを敷き詰めた F P L A 内に回路ブロックを配置した様子を示すレイアウト図である。

【図 1 4】

可変論理セルおよび可変アナログセルを敷き詰めた F P L A を有する半導体集積回路の設計から製造に至るまでの手順を示すフローチャートである。

【図 1 5】

F P L A を構成する可変アナログセル（電圧発生回路用）の一例を示す概略構成図である。

【図 1 6】

F P L A を構成する可変アナログセルの他の例（電圧測定回路用）を示す概略構成図である。

【図 1 7】

図 1 5 の可変アナログセルの具体例を示す概略構成図である。

【図 1 8】

図 1 6 の可変アナログセルの具体例を示す概略構成図である。

【図 1 9】

F P L A 内の接続配線の他の構成例を示す概略構成図である。

【図 2 0】

可変論理セルと可変アナログセルとからなる F P L A の一構成例を示す回路図である。

【図 2 1】

本発明を適用したシステム L S I における可変論理セルおよび可変アナログセル間を接続する配線の形成方法の一例を示す回路図である。

【図 2 2】

本発明を適用したシステム L S I における可変アナログセルからなるテスト回路とテストされる回路との接続の一例を示す回路図である。

【図 2 3】

本発明を適用したシステム L S I の他の実施例において、F P L A 内に回路ブロックを配置した様子および欠陥ブロックを F P L A に構成した回路で置き換えた様子を示す説明図である。

【図 2 4】

本発明を適用したシステム L S I の他の実施例において、F P L A 内に回路ブロックを配置した様子を示す説明図である。

【図 2 5】

P R M L 方式で磁気記憶媒体からの読出し信号の処理および書込み信号の生成を行なう回路の例を示すブロック図である。

【図 2 6】

図 2 5 の回路と F P L A に形成されたテスト回路との関係を示す説明図である。

【図 2 7】

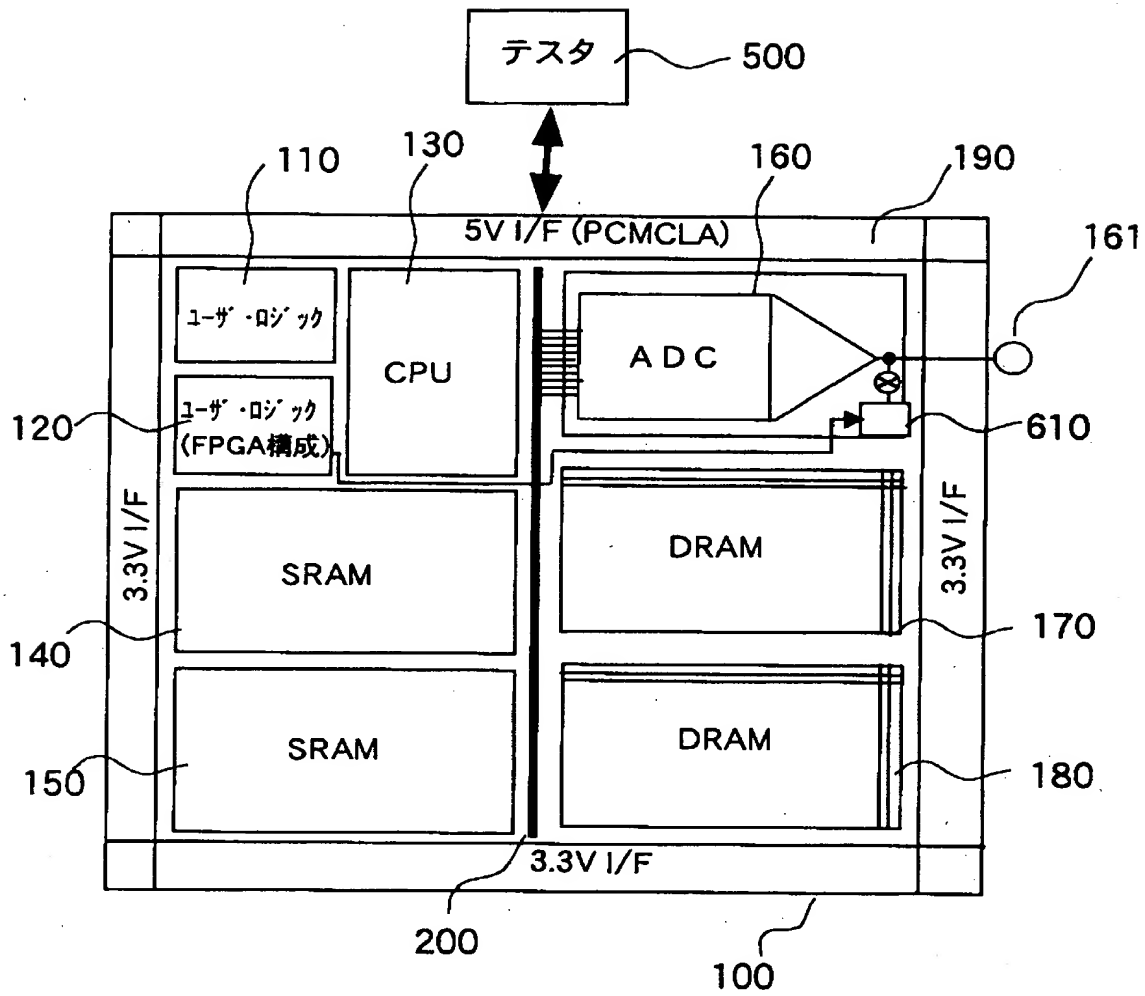
本発明をウェハに適用した場合の実施例を示すレイアウト図である。

【符号の説明】

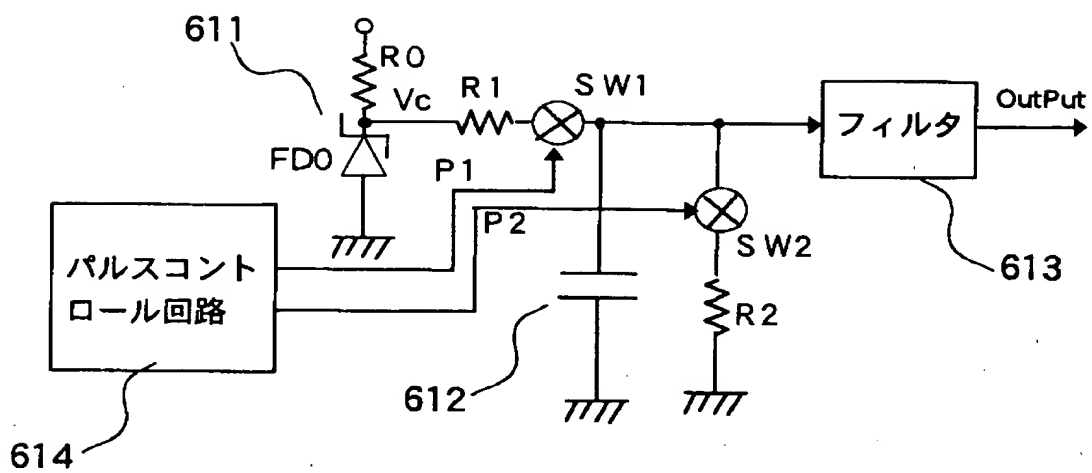
MC 1 ~ MC 4 論理構成用メモリセル
V L C 可変論理回路
C D M 配線接続情報記憶回路
SW 1 ~ SW 1 8 可変配線手段としてのスイッチ素子
L C L 可変論理セル
V A C 1 可変アナログセル（電圧出力回路用）
V A C 2 可変アナログセル（電圧測定回路用）
F T L フォースライン
S S L センスライン
CPU, ROM, MMU, DSP 回路ブロック
1 0 0 半導体チップ
2 1 1, 2 1 2 デコーダ回路
2 2 1, 2 2 2 センスアンプ列
5 0 0 ウェハ
5 1 0 パッド列
6 1 0 電圧出力回路
6 2 0 電圧測定回路

【書類名】 図面

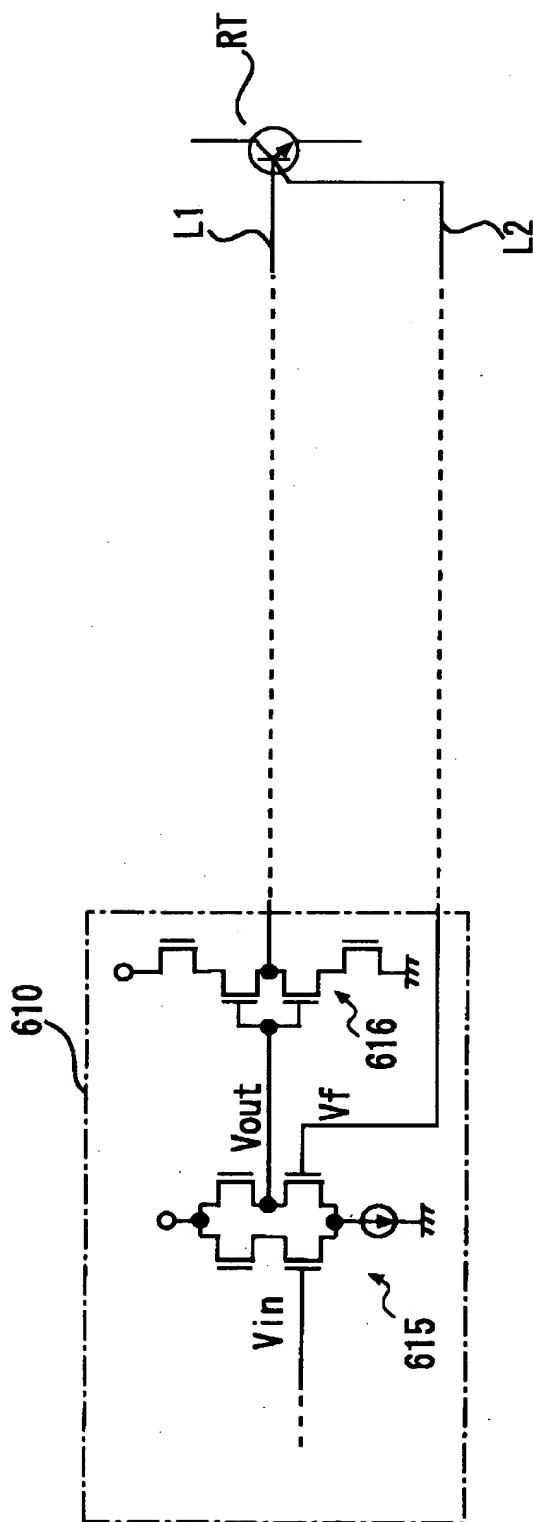
【図 1】



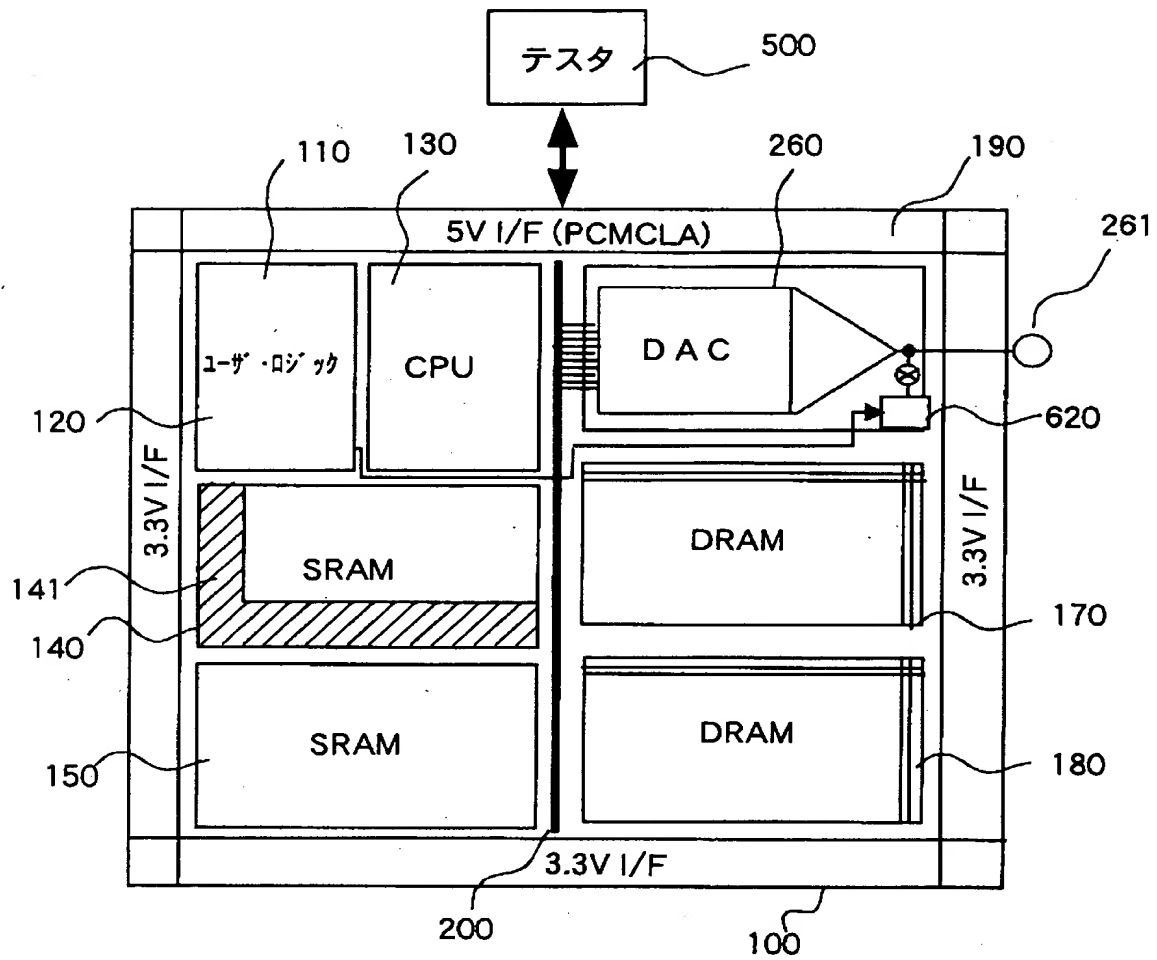
【図 2】



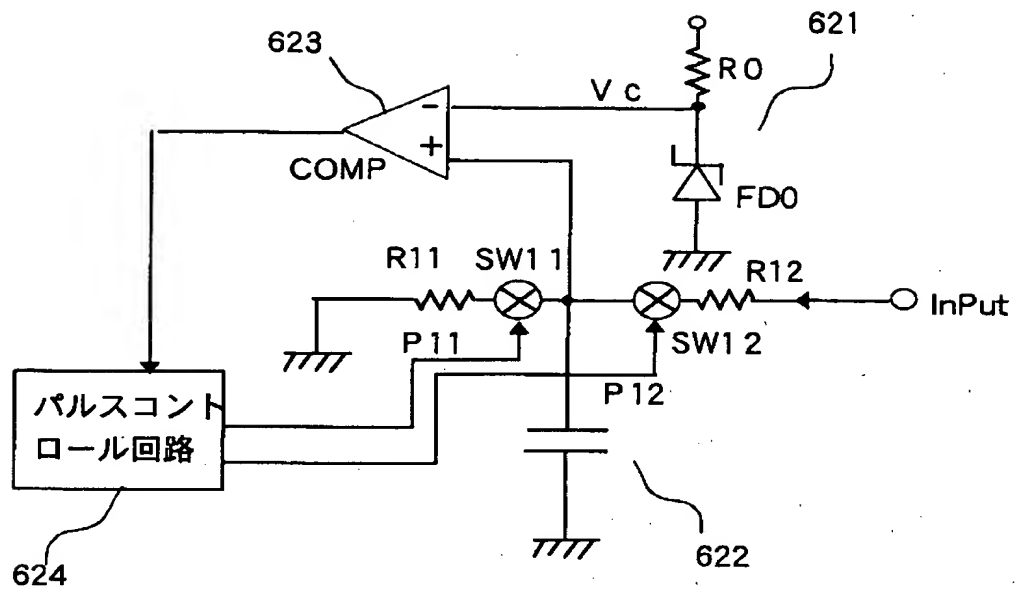
【図3】



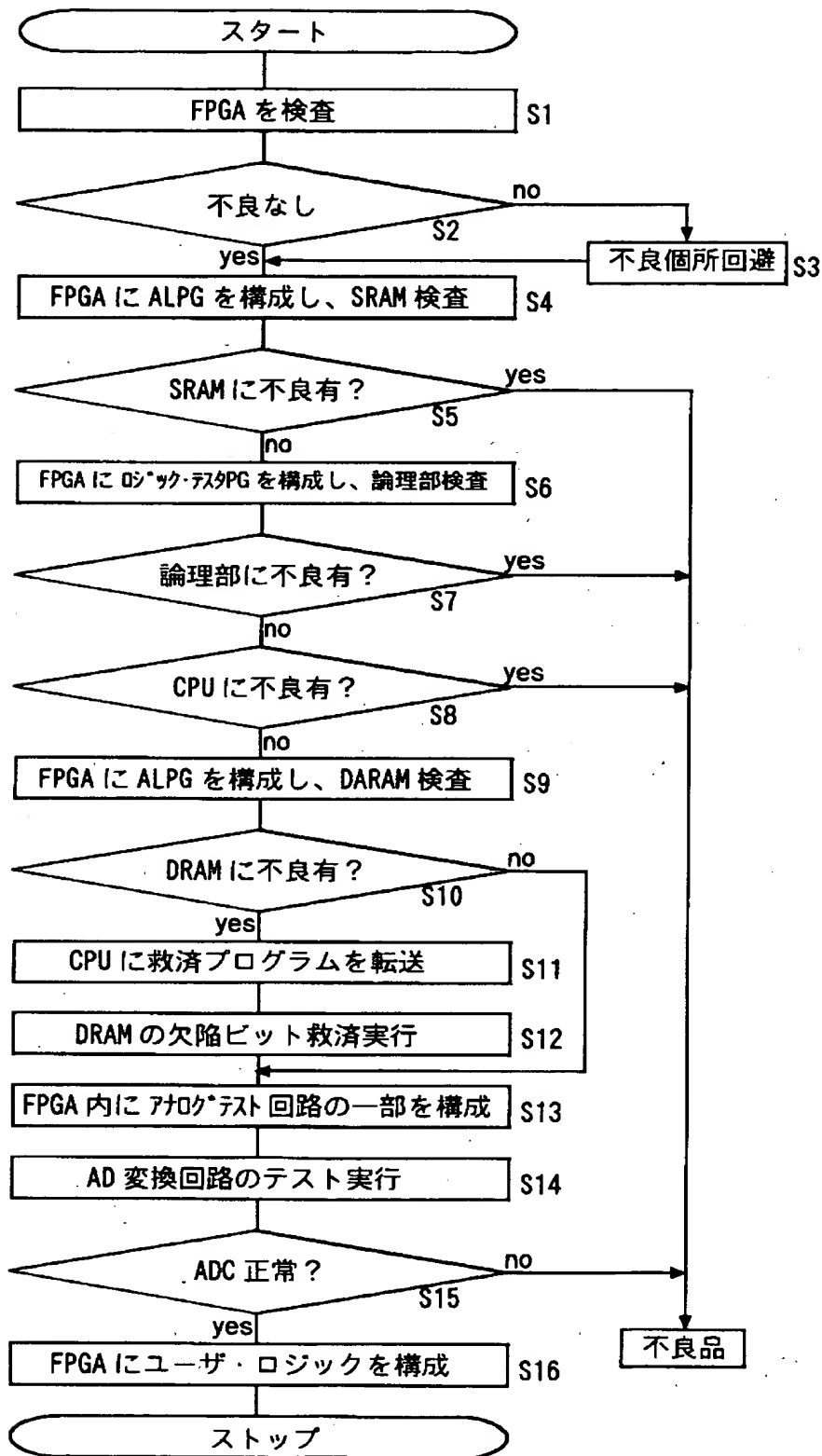
【図 4】



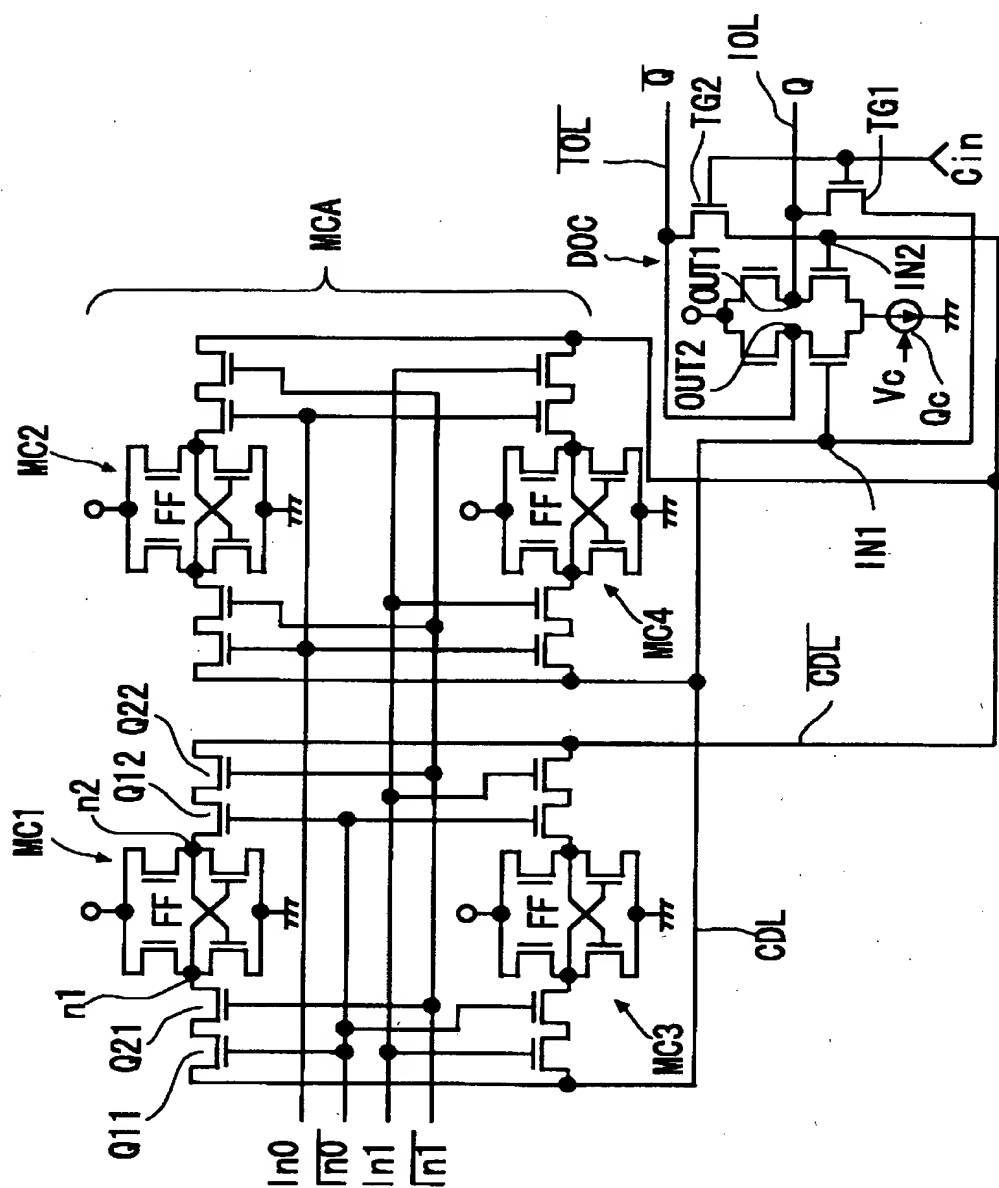
【図 5】



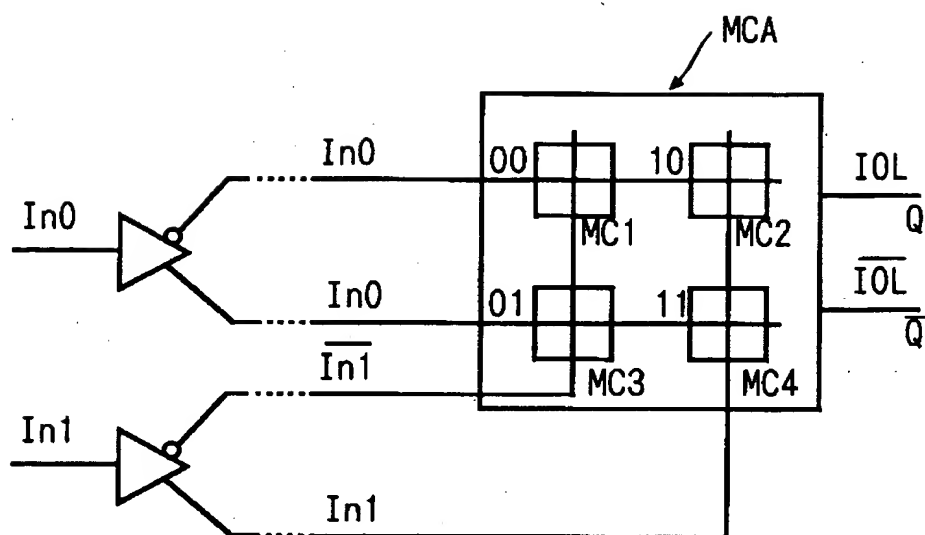
【図 6】



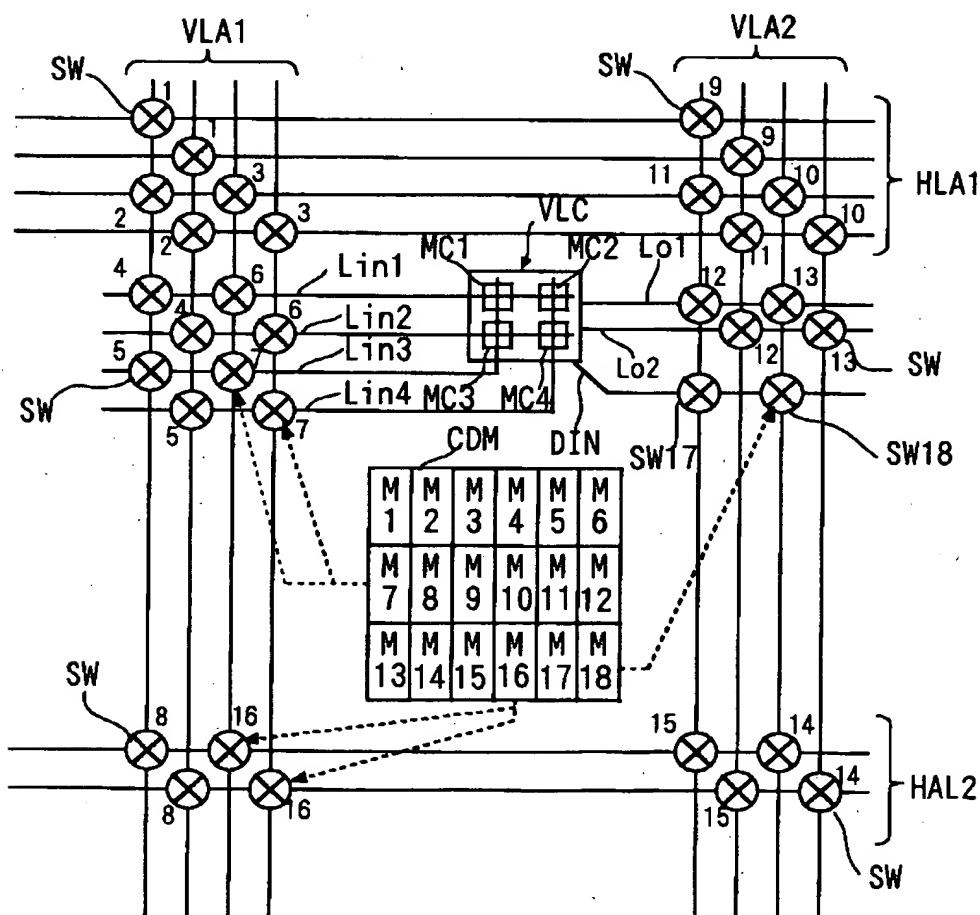
【図 7】



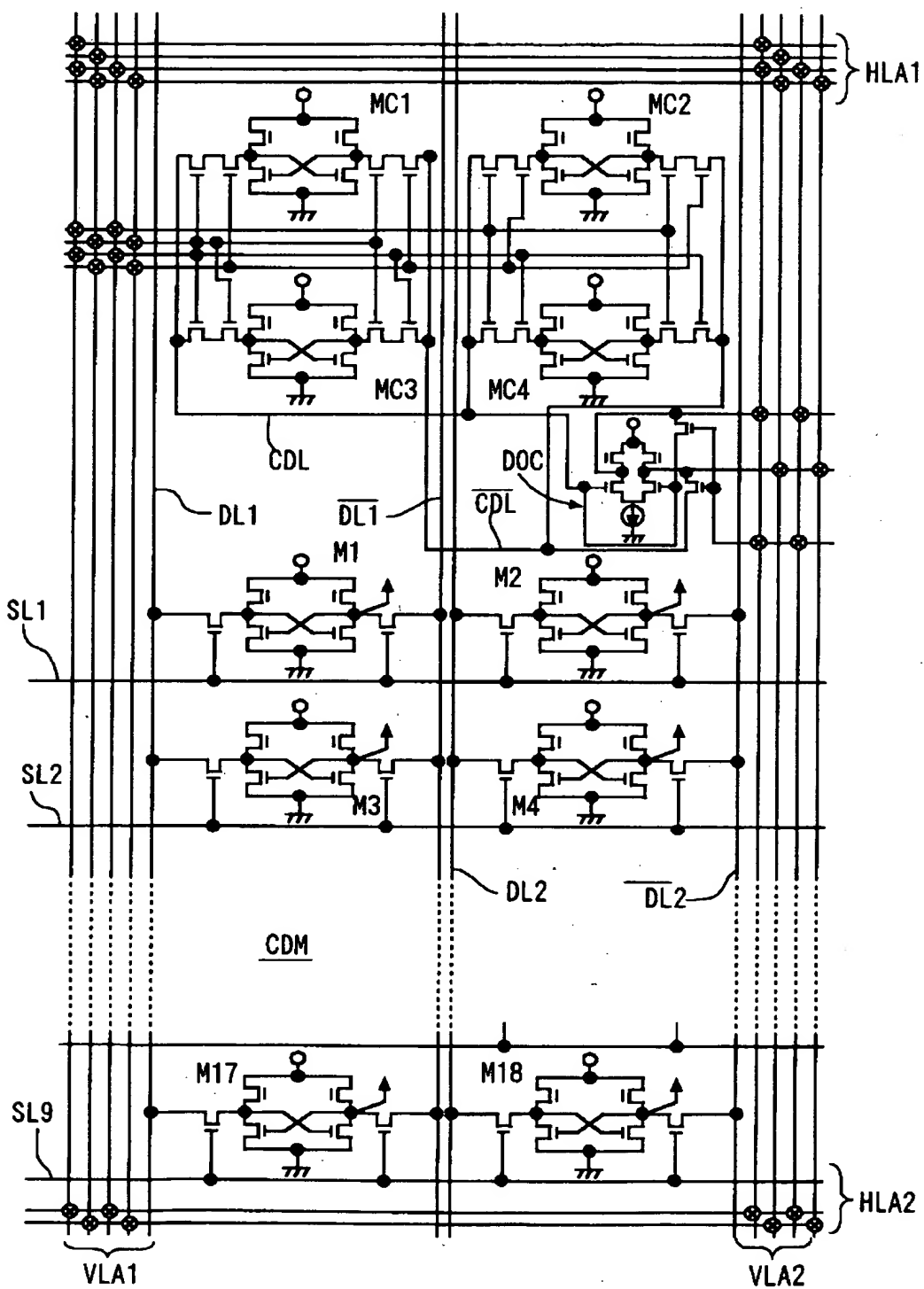
【図 8】



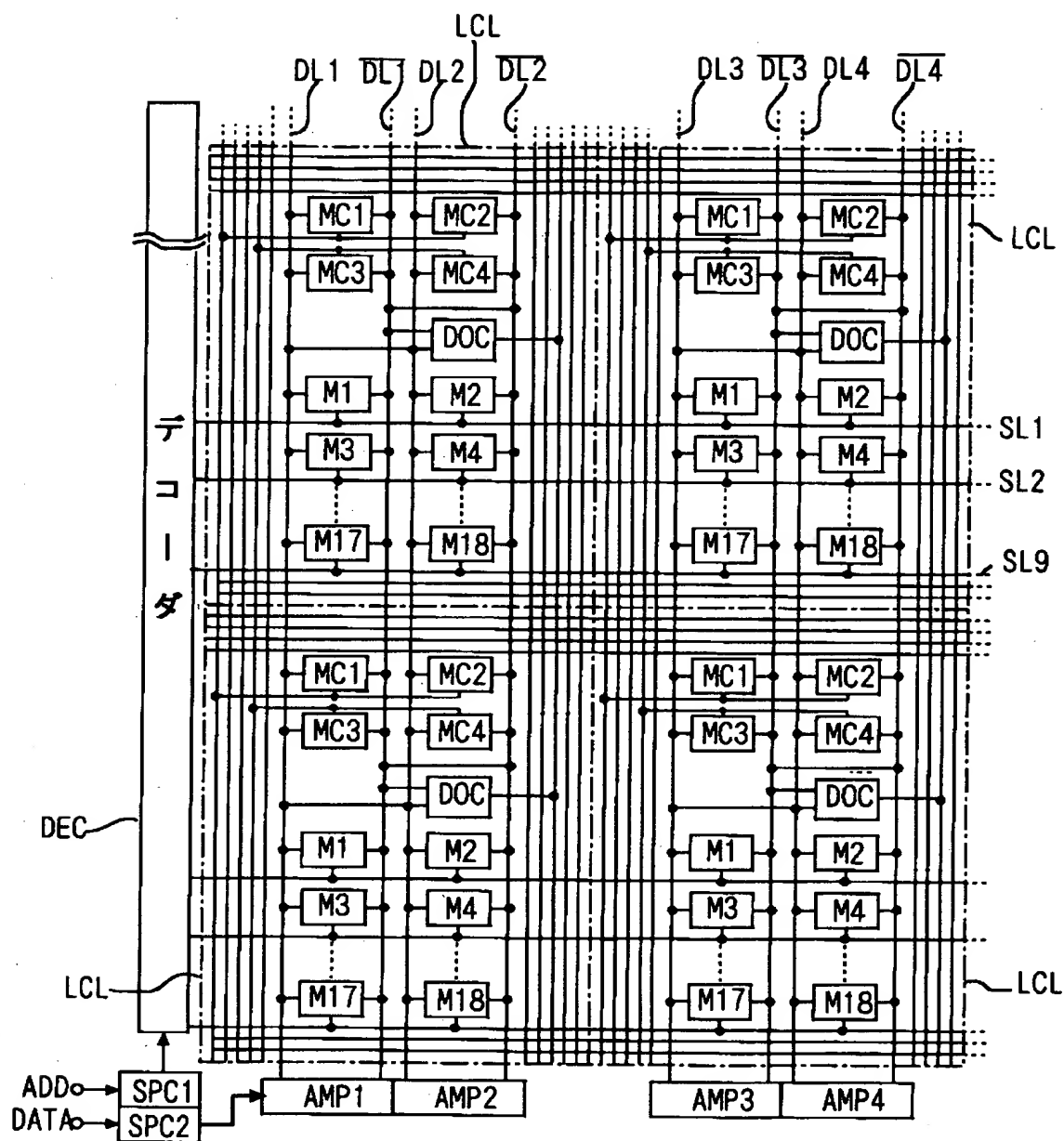
【図 9】



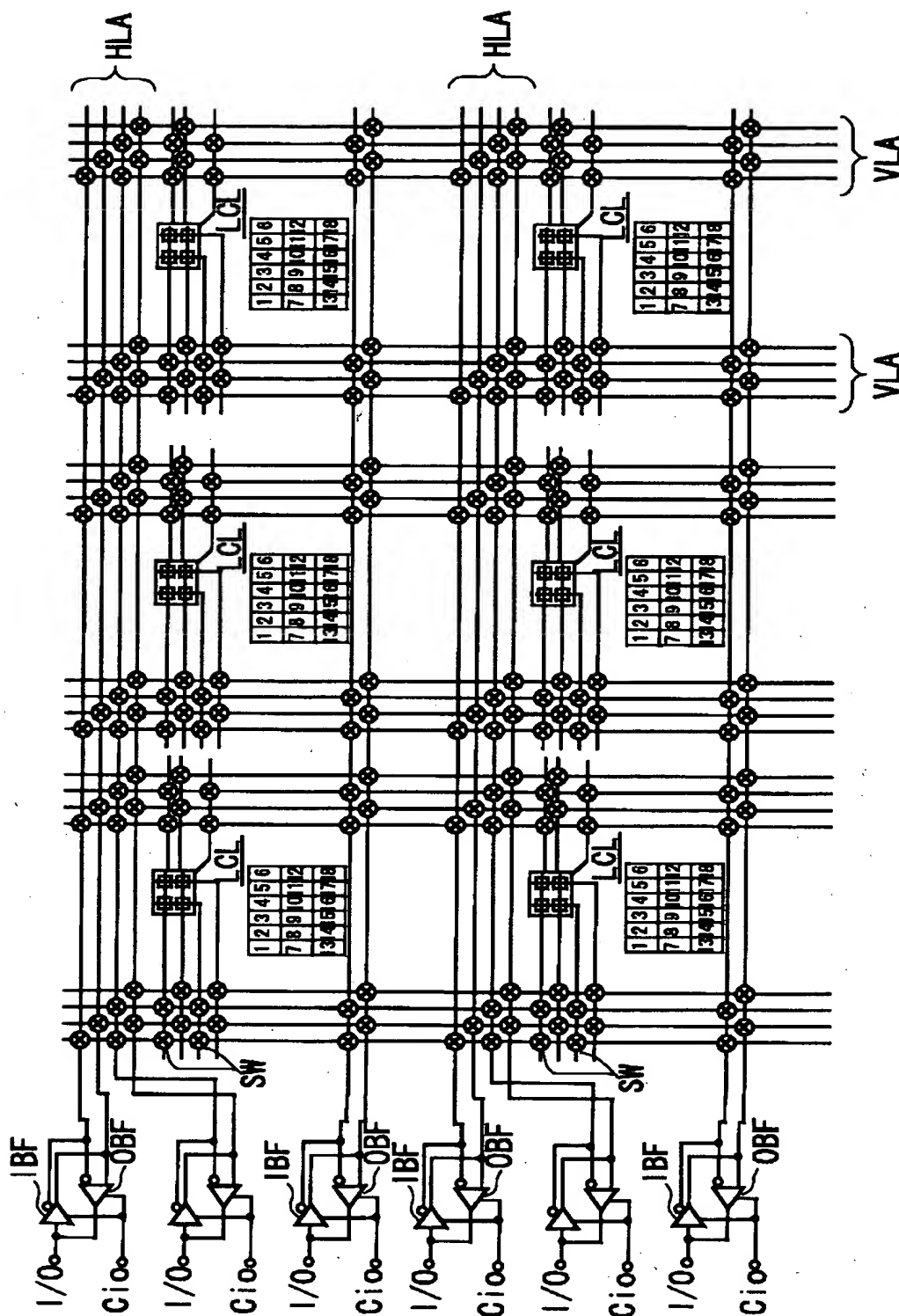
【図10】



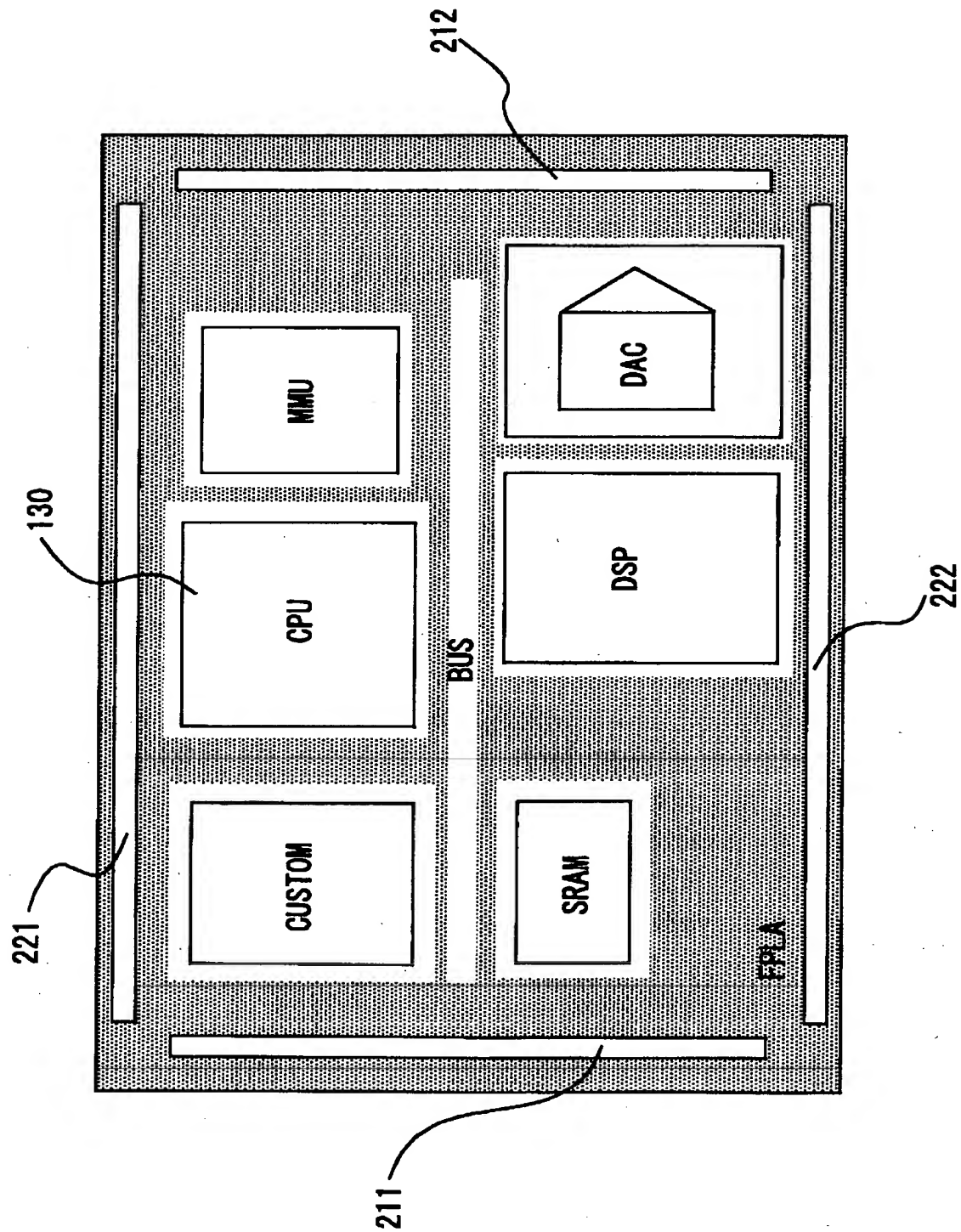
【図 11】



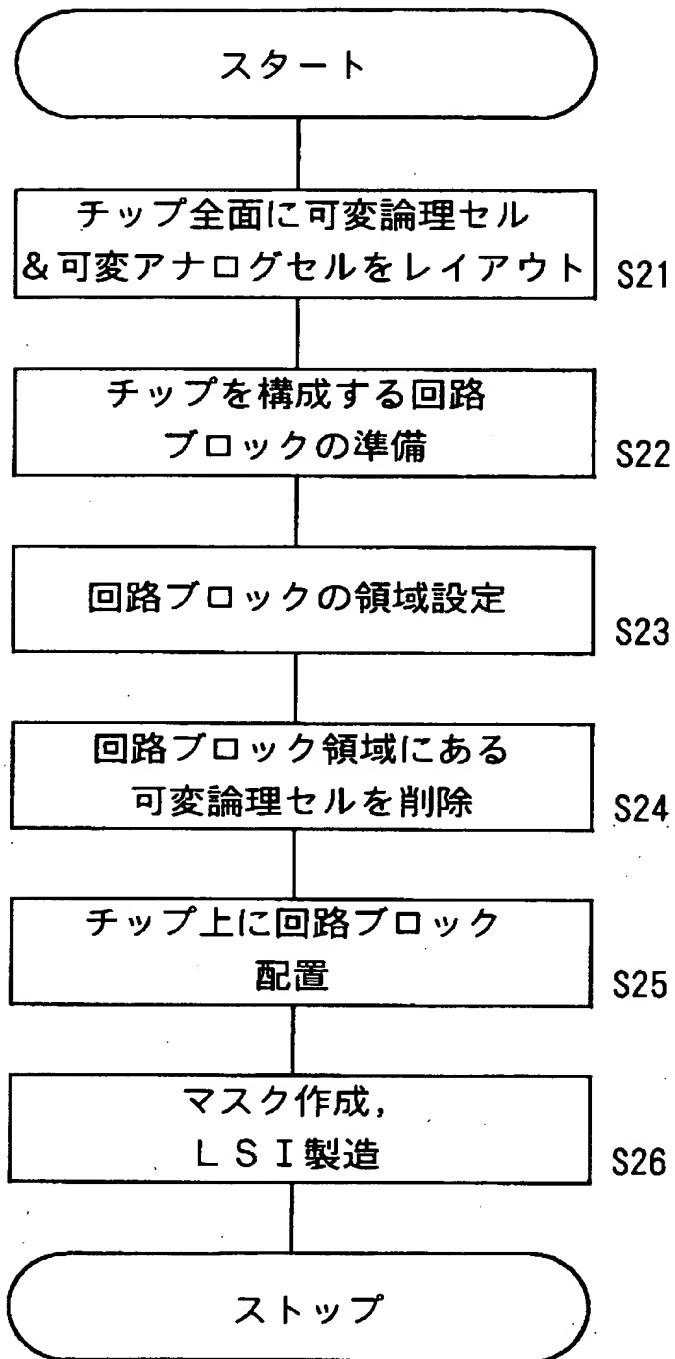
【図 12】



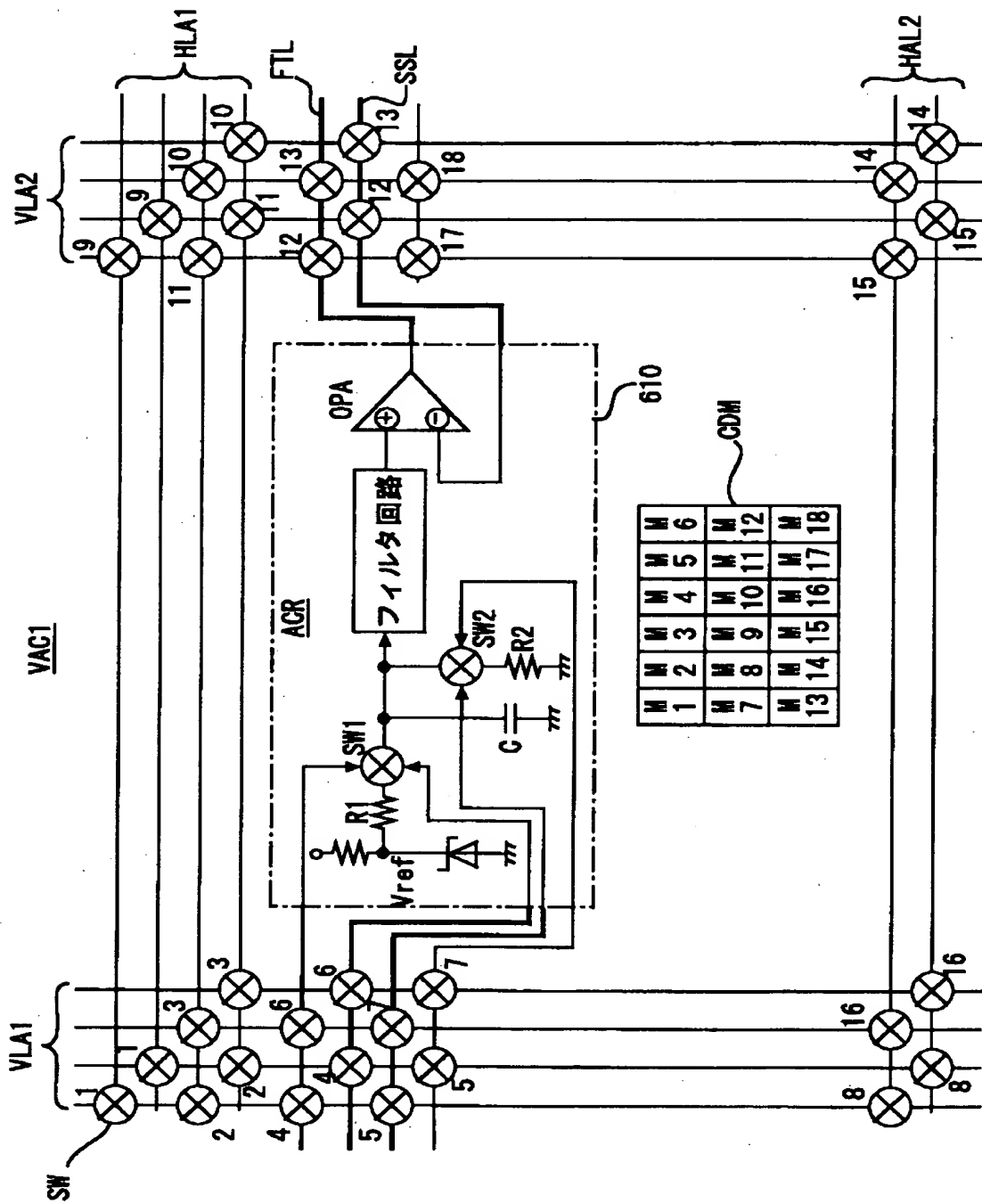
【図13】



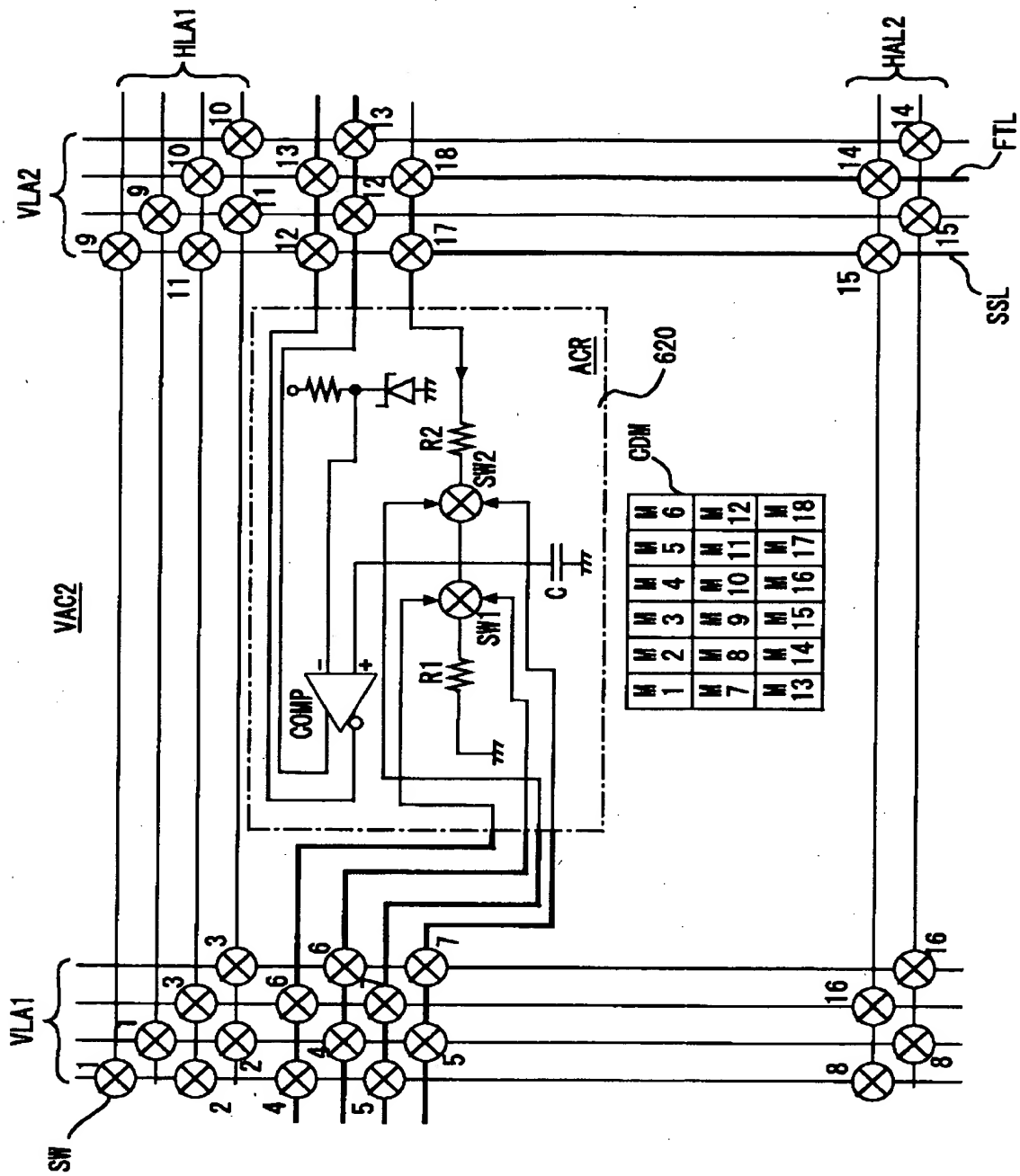
【図 14】



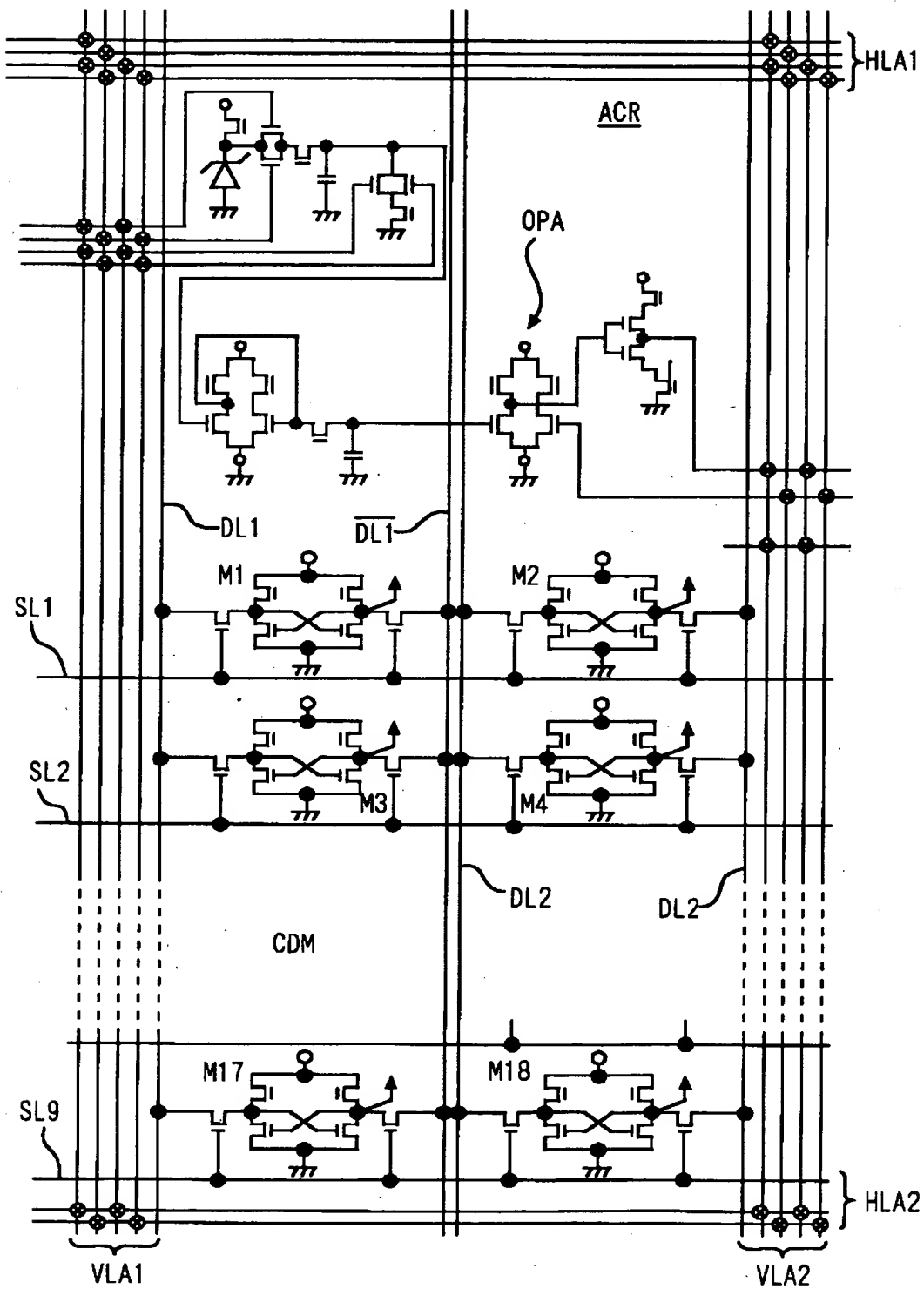
【図15】



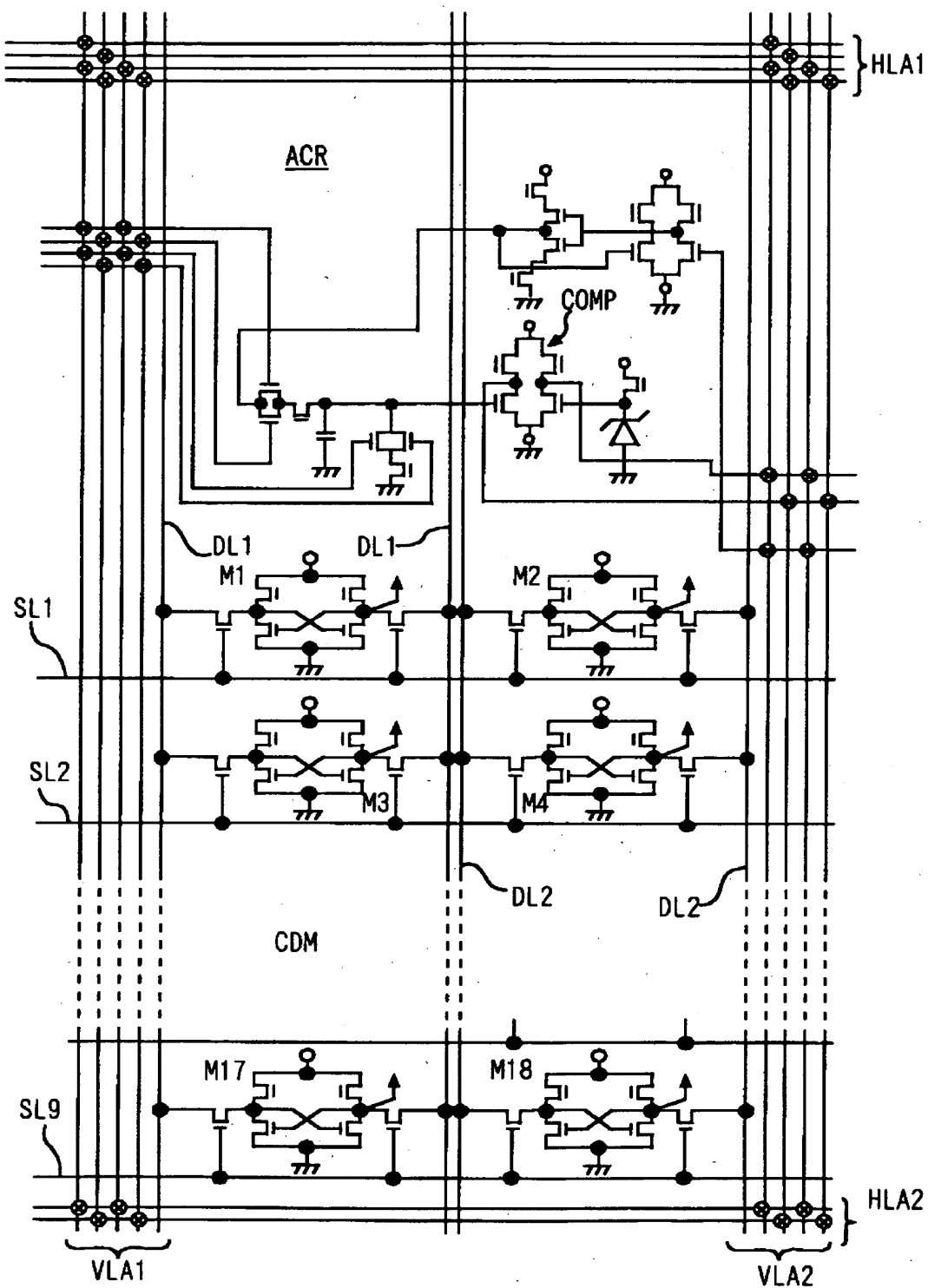
【図16】



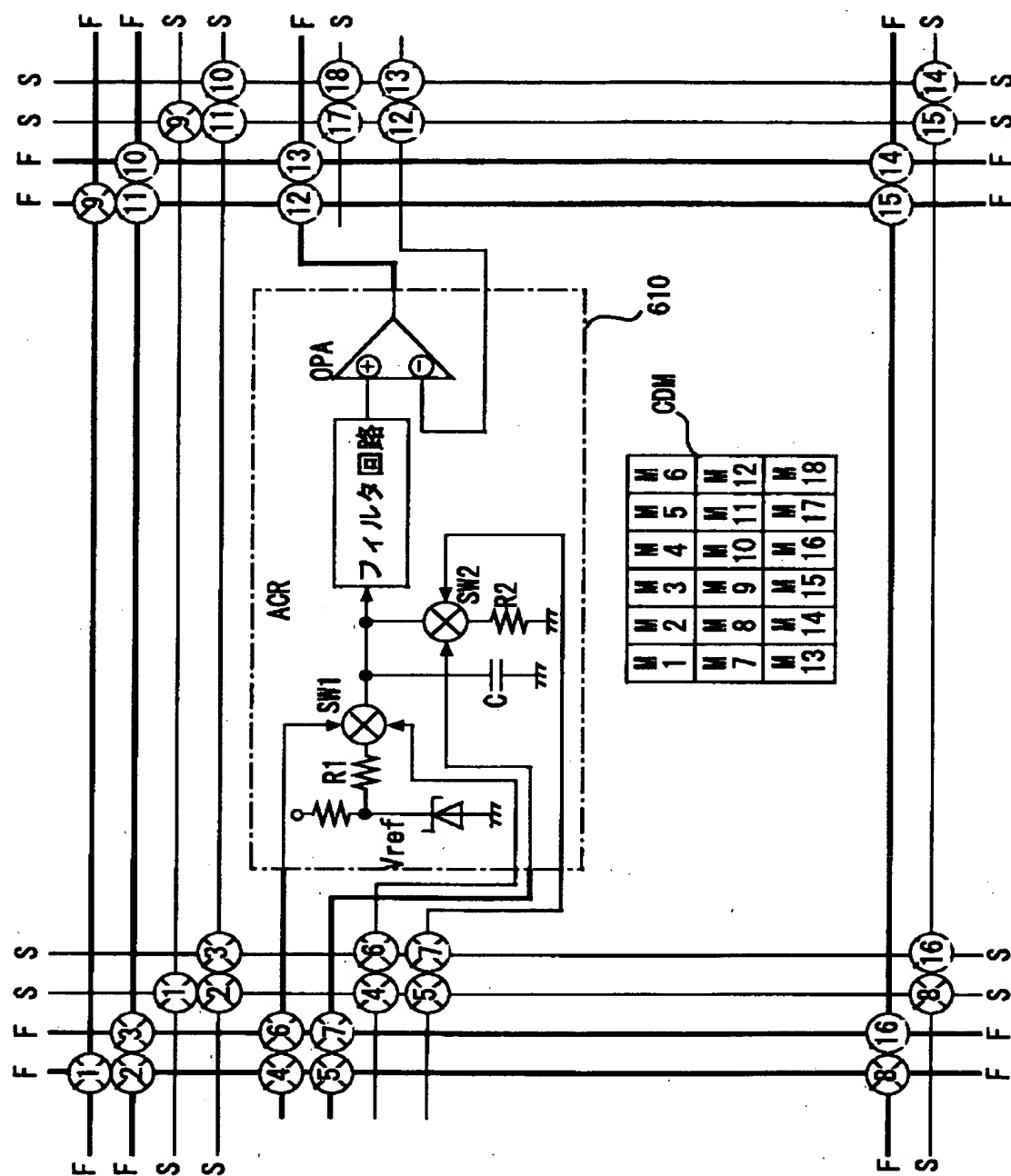
【図 17】



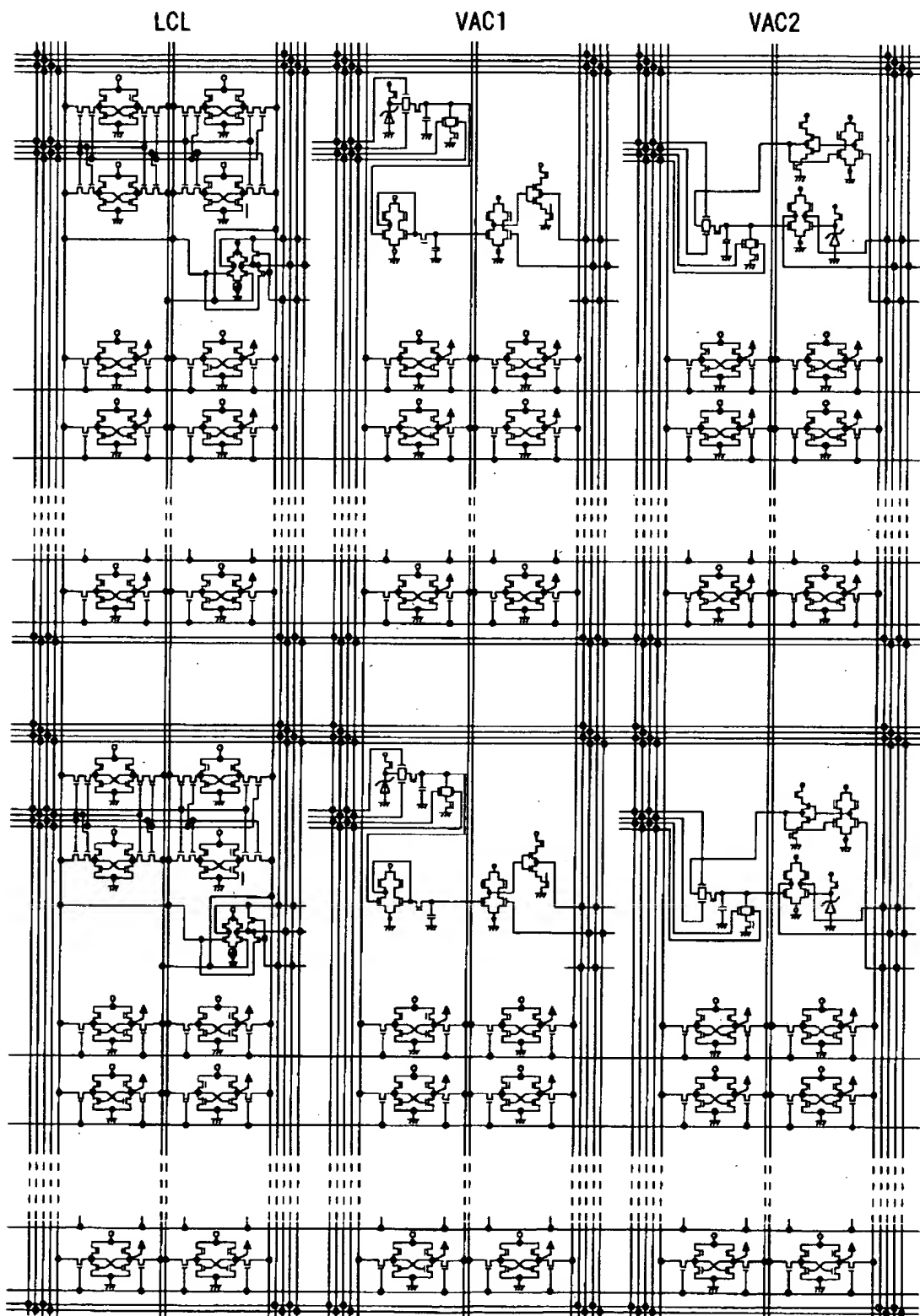
【図 18】



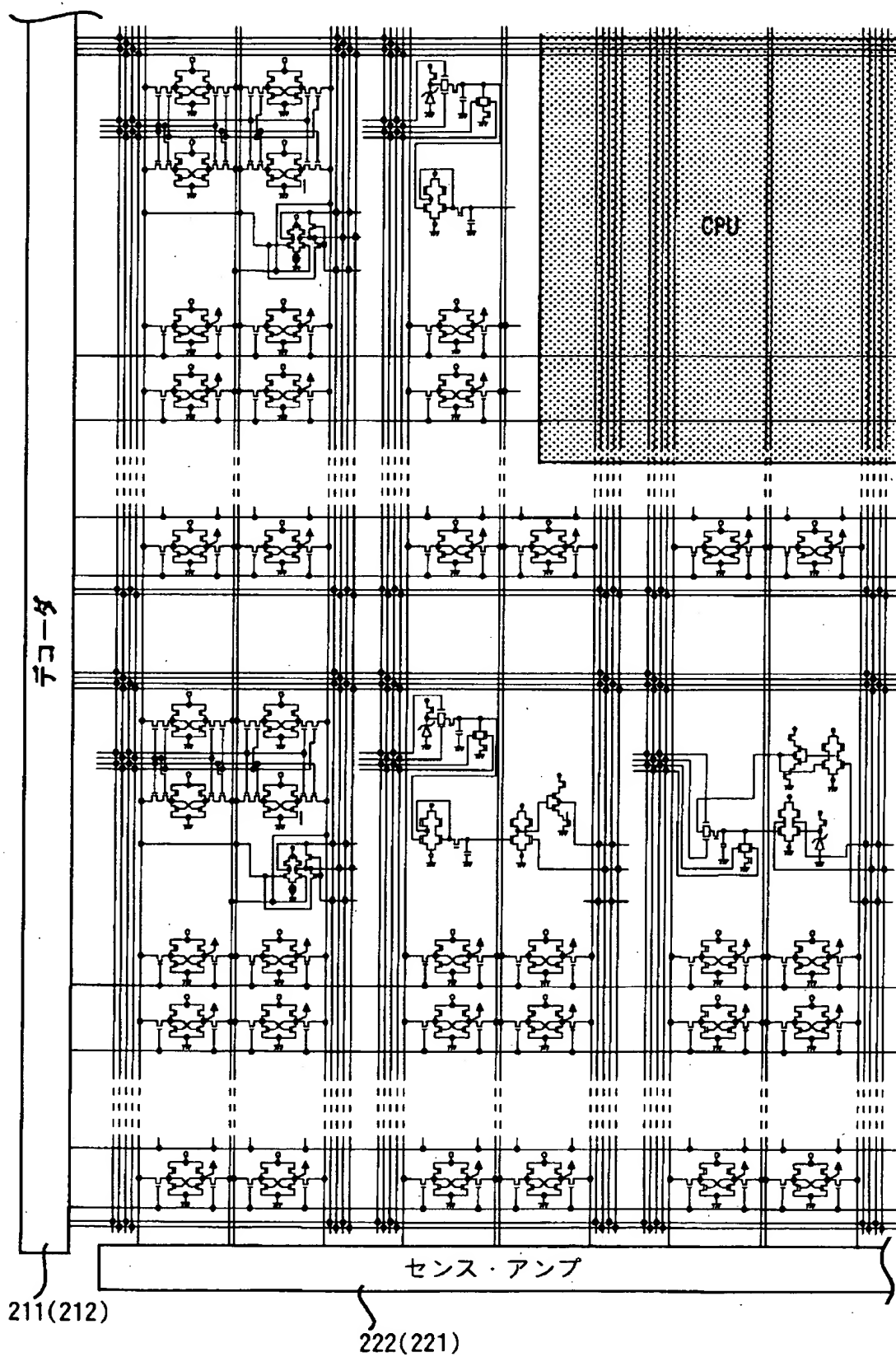
【図 19】



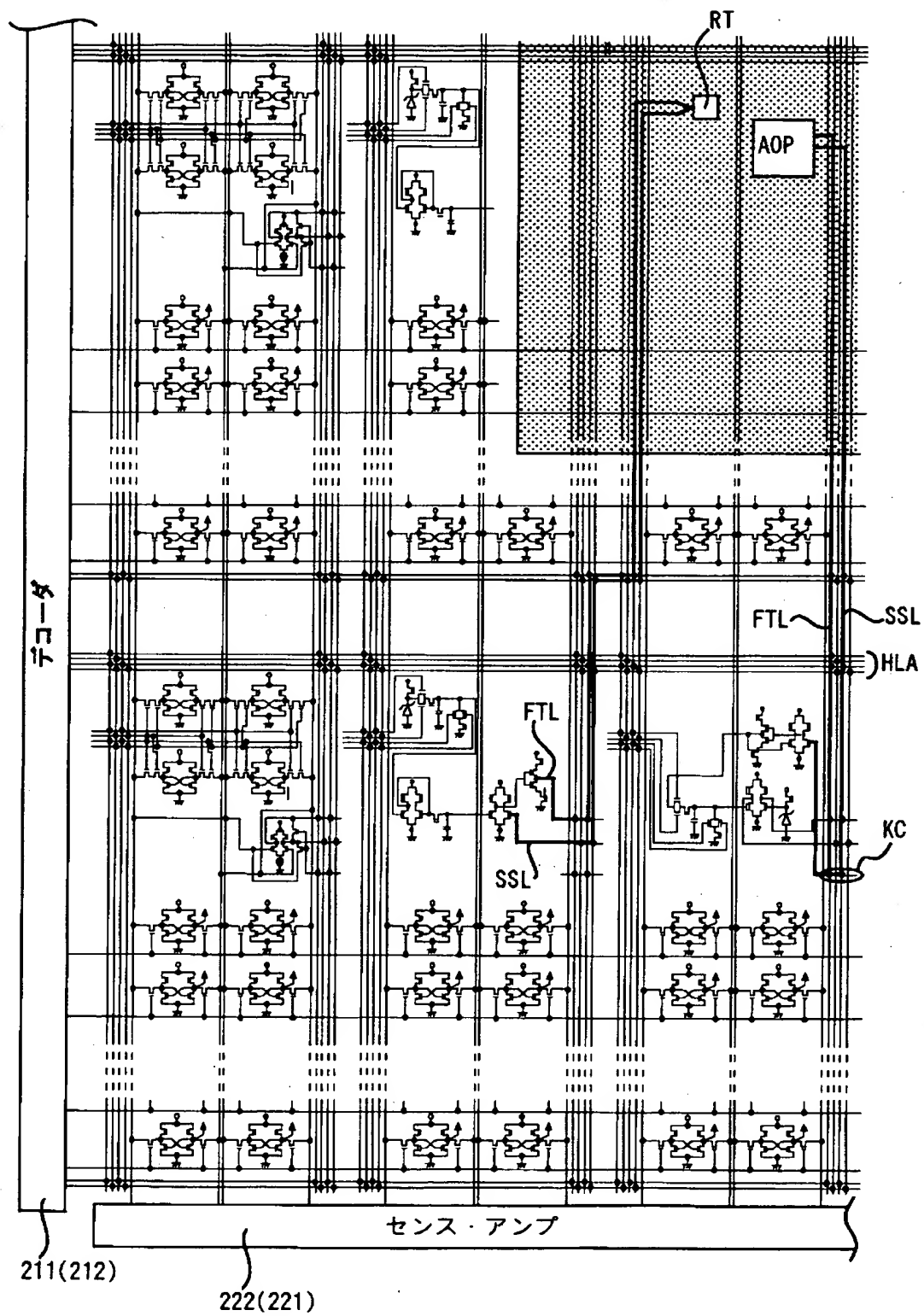
【図 2 0】



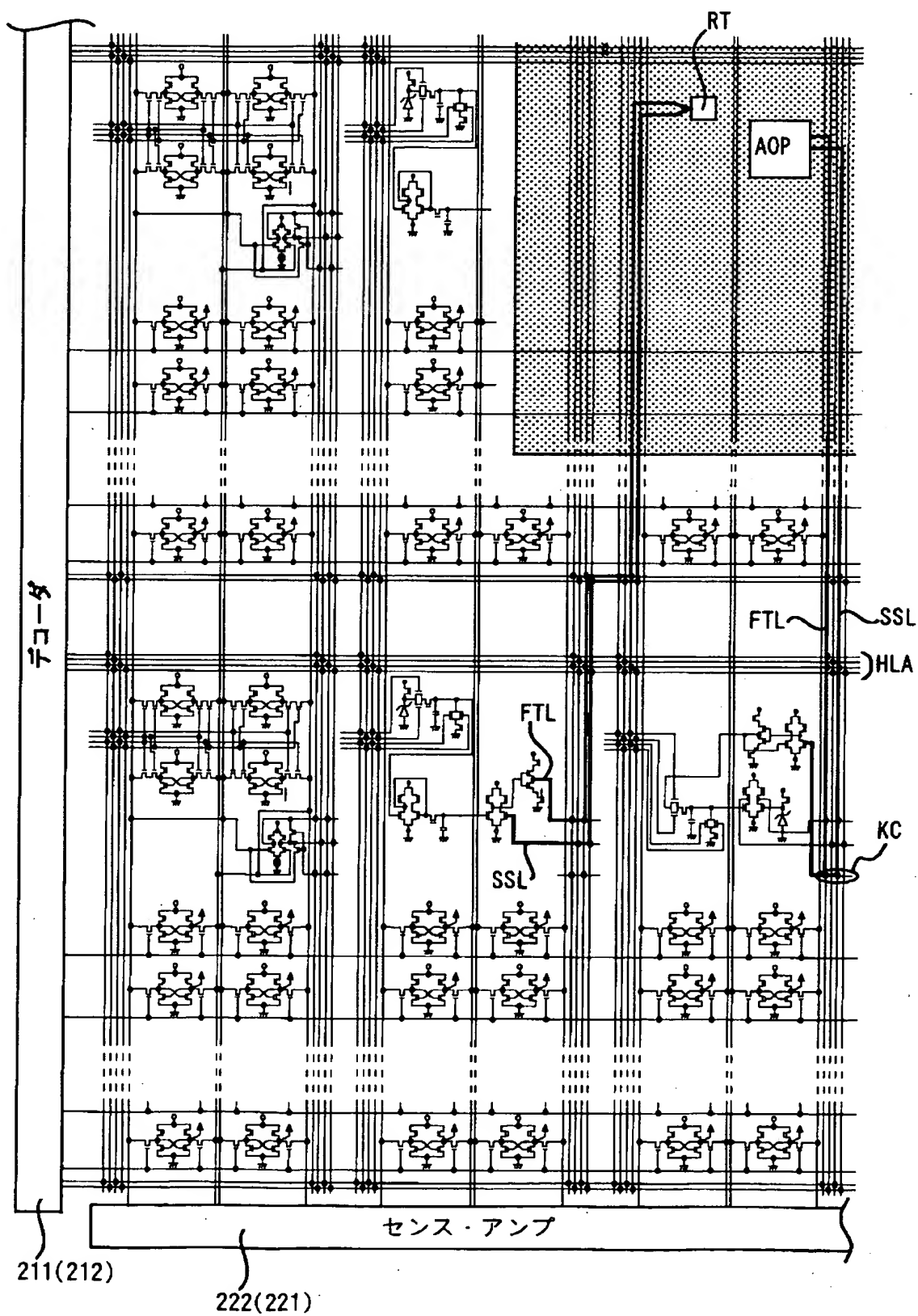
【図 21】



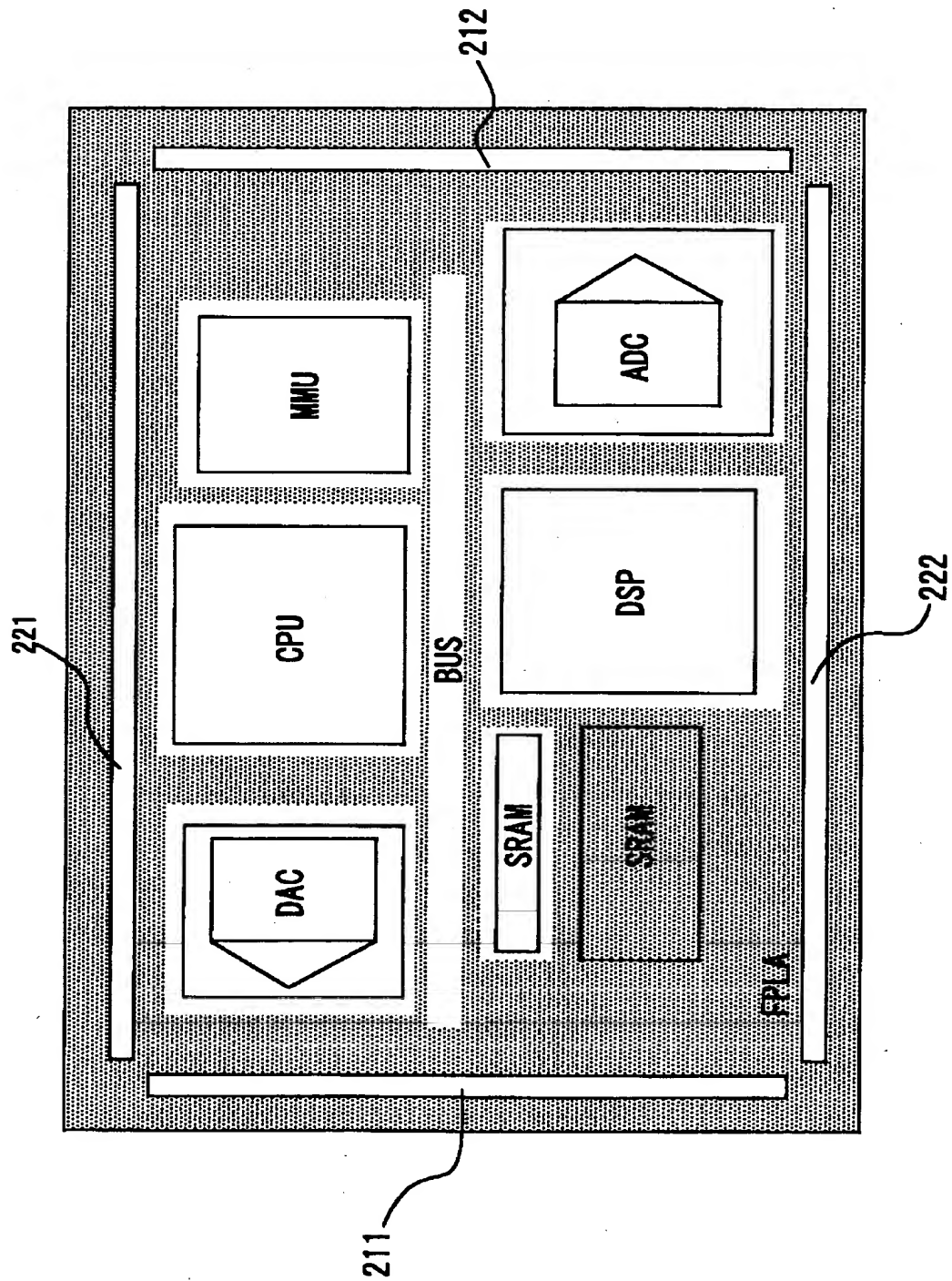
【図 22】



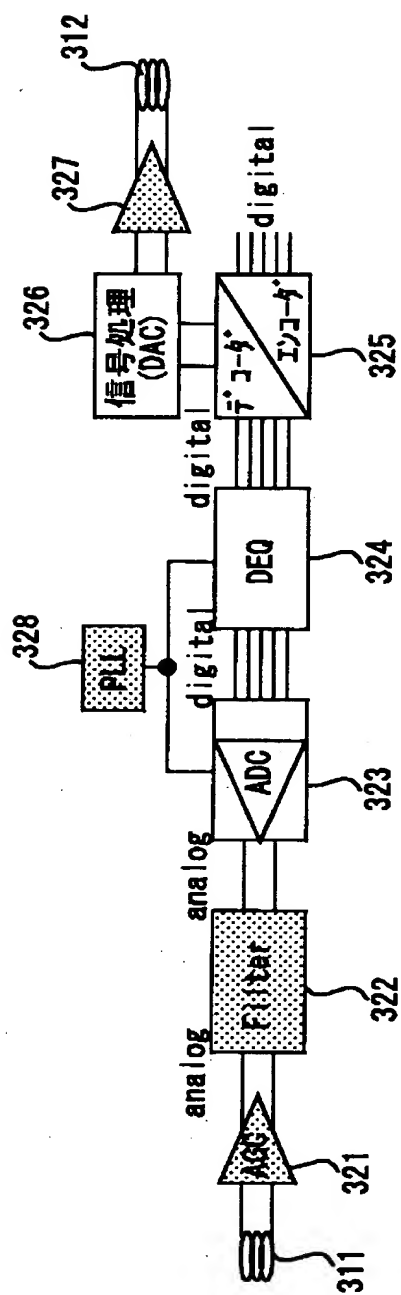
【図 23】



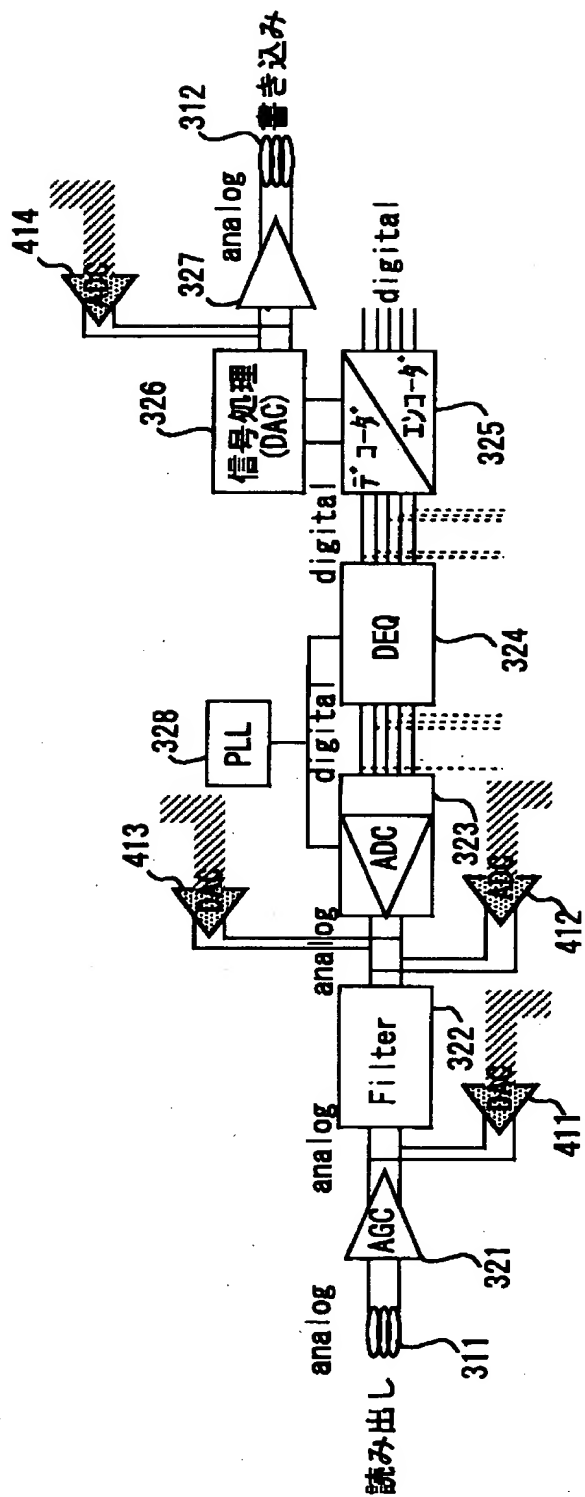
【図 24】



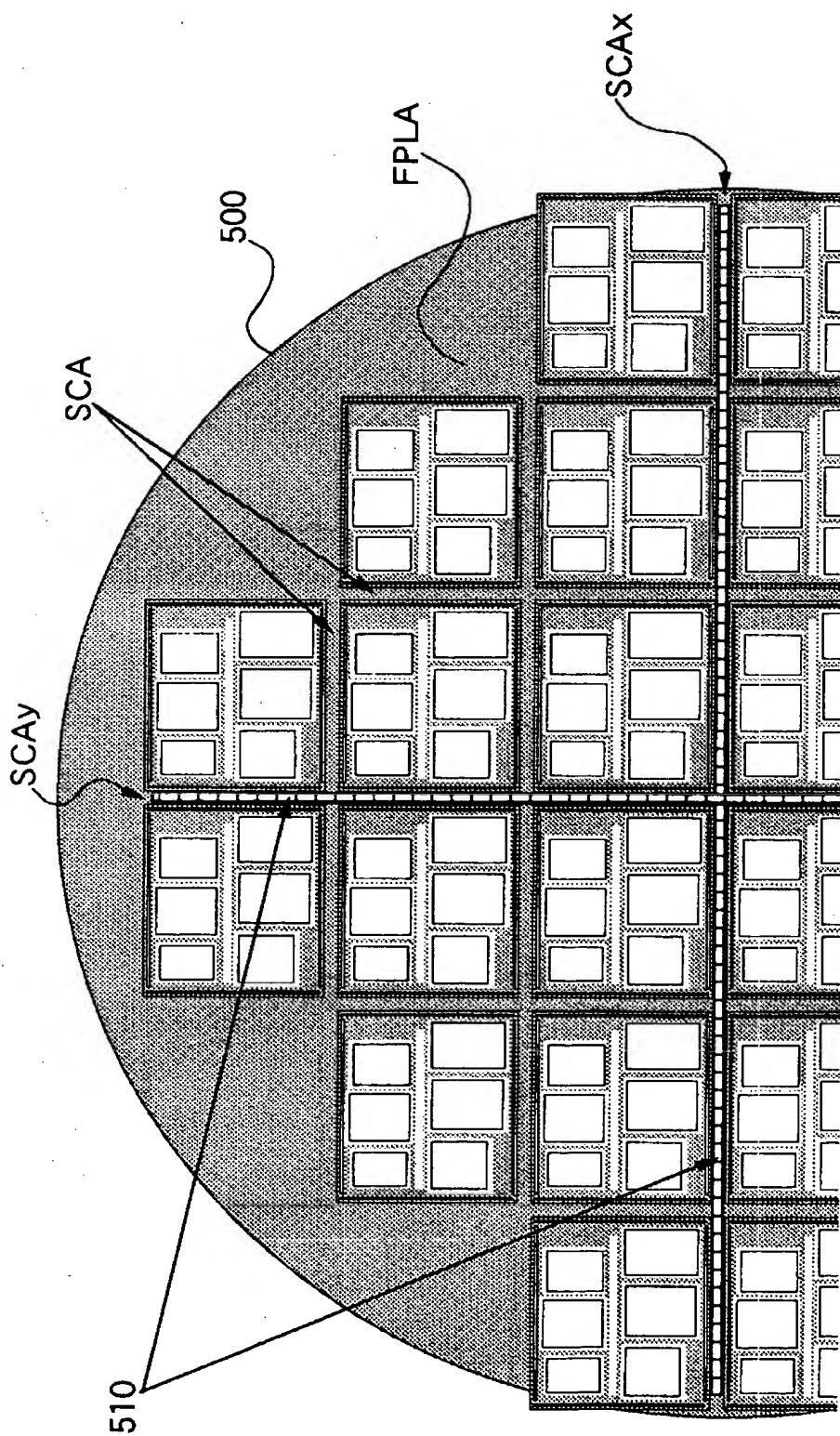
【图 25】



【図 26】



【図 27】



【書類名】 要約書

【要約】

【課題】 高機能の外部テストを用いることなくアナログ回路を内蔵した L S I 内部のアナログ回路のテストを比較的高い精度で行なうことができるようにする。

【解決手段】 任意の論理出力を出力可能な可変論理回路 (V C L) と、該可変論理回路を任意の他の可変論理回路もしくはアナログ発生回路と接続可能にするための可変配線手段と、該可変配線手段のスイッチ素子の状態を記憶する配線接続状態記憶手段 (C D M) とからなる可変論理セル (L C L) と、抵抗素子と容量素子とスイッチ素子とを含み任意の電圧を発生可能なアナログ発生回路 (A C R) と、該アナログ発生回路を任意の他のアナログ発生回路もしくは可変論理回路と接続可能にするため可変配線手段と、該可変配線手段のスイッチ素子の状態を記憶する配線接続状態記憶手段 (C D M) とからなる可変アナログセルとを、半導体チップ上の本来の機能回路ブロック形成領域以外の領域 (空きスペース) に設けるようにした。

【選択図】 図 2 2

特 2000-302518

認定・付加情報

特許出願の番号	特願2000-302518
受付番号	50001276424
書類名	特許願
担当官	第七担当上席 0096
作成日	平成12年10月 3日

<認定情報・付加情報>

【提出日】	平成12年10月 2日
-------	-------------

次頁無

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日
[変更理由] 新規登録
住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所